

Số: 729...../QĐ-ĐHDL

Hà Nội, ngày 15 tháng 5 năm 2023

QUYẾT ĐỊNH

V/v phân công người hướng dẫn và tên đề tài luận văn thạc sĩ
đối với các học viên khoá 10 (2022-2024) ngành: Kỹ thuật điện tử

HIỆU TRƯỞNG TRƯỜNG ĐẠI HỌC ĐIỆN LỰC

Căn cứ Quyết định số 4010/QĐ-BCT ngày 6/10/2016 của Bộ Công Thương quy định chức năng, nhiệm vụ, quyền hạn và cơ cấu tổ chức của Trường Đại học Điện lực;

Căn cứ Quyết định số 20/QĐ-HĐT ngày 01/10/2019 của Hội đồng trường Trường Đại học Điện lực Ban hành Quy chế tổ chức và hoạt động của trường Đại học Điện lực;

Căn cứ Quyết định số 2446/QĐ-BGDĐT ngày 4/7/2013 của Bộ Giáo dục & Đào tạo cho phép Trường Đại học Điện lực đào tạo trình độ thạc sĩ ngành Kỹ thuật điện tử;

Căn cứ Quyết định số 666/QĐ-ĐHDL ngày 31/5/2022 của Trường Đại học Điện lực về việc Ban hành Quy chế tuyển sinh và đào tạo trình độ thạc sĩ tại Trường Đại học Điện lực;

Căn cứ Quyết định số 1972/QĐ-ĐHDL ngày 28/10/2022 của Trường Đại học Điện lực về việc công nhận các thí sinh trúng tuyển nhập học đào tạo trình độ thạc sĩ khóa 10 (2022 - 2024) đợt 2 năm 2022;

Căn cứ Quyết định số 310/QĐ-ĐHDL ngày 23/02/2023 của Trường Đại học Điện lực về việc công nhận các thí sinh trúng tuyển nhập học đào tạo trình độ thạc sĩ khóa 10 (2022 - 2024) đợt 3 năm 2022;

Theo đề nghị của Trường phòng Đào tạo Sau Đại học.

QUYẾT ĐỊNH:

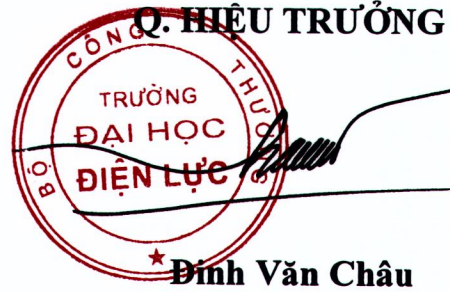
Điều 1. Giao tên đề tài luận văn thạc sĩ và phân công người hướng dẫn luận văn cho các học viên khoá 10 (2022-2024) đợt 2 & đợt 3 năm 2022 ngành Kỹ thuật điện tử, mã số 8520203 (có danh sách kèm theo).

Điều 2. Học viên và người hướng dẫn luận văn thạc sĩ có quyền lợi và nhiệm vụ theo Quy chế đào tạo thạc sĩ của trường Đại học Điện lực và Quy chế đào tạo thạc sĩ hiện hành của Bộ Giáo dục và Đào tạo.

Điều 3. Trường các đơn vị: Phòng Đào tạo Sau Đại học, Phòng Kế hoạch Tài chính, Khoa Điện tử Viễn thông và các cá nhân liên quan tại Điều 1 chịu trách nhiệm thi hành Quyết định này./.

Nơi nhận:

- Như Điều 3;
- Các PHT (để biết);
- Các đơn vị liên quan (để thực hiện);
- Lưu: VT, ĐTSĐH, PhuongBT(05).



PHỤ LỤC: DANH SÁCH GIAO ĐỀ TÀI LUẬN VĂN THẠC SĨ VÀ NGƯỜI HƯỚNG DẪN LUẬN VĂN THẠC SĨ
NGÀNH: KỸ THUẬT ĐIỆN TỬ, MÃ SỐ 8520203 - ĐỢT 2 KHÓA 10 (2022 -2024)
(kèm theo Quyết định số 729 /QĐ-ĐHDL ngày 15 tháng 5 năm 2023 của Trường Đại học Điện lực)

STT	Mã học viên	Họ và tên	Giới tính	Ngày sinh	Nơi sinh	Tên đề tài luận văn thạc sĩ	Tên người hướng dẫn khoa học	Đơn vị công tác
1	22CH5030001	Phạm Minh Thắng	Nam	11/11/1987	Hà Nội	Tối ưu độ trễ trong mạng 5G	NHD1: PGS. TS Hà Hải Nam SĐT: 0916634567 Email: hhnam@mic.gov.vn	Trường Đại học Điện lực
							NHD2: TS. Nguyễn Đức Thủy SĐT: 0912464048 Email: nguyenducthuy07@gmail.com	Trường Đại học Điện lực
2	22CH5030002	Nguyễn Việt Hoàng	Nam	23/08/1999	Hà Nội	Nghiên cứu xây dựng hệ thống giám sát tín hiệu điện tim ECG trên nền tảng IoT	NHD1: TS. Ngô Duy Tân SĐT: 0904138108 Email: Tan.ngoduy@gmail.com	Trường Đại học Điện lực
							NHD2: TS. Thẩm Đức Phương SĐT: 0903229117 Email: phuongtd@epu.edu.vn	Trường Đại học Điện lực
3	22CH5030003	Đinh Bảo Hà	Nam	14/06/1981	Hà Nội	Nghiên cứu phương pháp tính toán rủi ro do sét gây ra đối với trạm viễn thông.	TS. Phạm Duy Phong SĐT: 0912348885 Email: phongphd@epu.edu.vn	Trường Đại học Điện lực
4	22CH5030004	Trần Ngọc Ánh	Nữ	01/07/1998	Quảng Ninh	Nghiên cứu phương pháp lấy mẫu thưa nhằm nâng cao hiệu quả thu nhận ảnh cộng hưởng từ hạt nhân.	TS. Nguyễn Thị Thủy SĐT: 0985812401 Email: thuynt@epu.edu.vn	Trường Đại học Điện lực
5	22CH5030005	Đỗ Anh Tú	Nam	26/01/1998	Hà Nội	Tối ưu kích thước trong thiết kế anten phẳng dải tần dưới 6GHz ứng dụng trí tuệ nhân tạo.	TS. Hoàng Thị Phương Thảo SĐT: 0982225258 Email: thaohp@epu.edu.vn	Trường Đại học Điện lực



6	22CH5030006	Nguyễn Hải Quân	Nam	05/09/1998	Hà Nội	Một phương pháp sử dụng học máy để phát hiện FLYCAM dựa vào phổ tín hiệu vô tuyến.	TS. Nguyễn Lê Cường SĐT: 0913546234 Email: cuongnl@epu.edu.vn	Trường Đại học Điện lực
7	22CH5030007	Ngô Văn Hưởng	Nam	04/03/1996	Bắc Ninh	Xây dựng phương pháp tính toán bộ lọc KALMAN tín hiệu liên tục.	PGS.TS Nguyễn Tăng Cường SĐT: 0912045795 Email: cuongnt@epu.edu.vn	Trường Đại học Điện lực
8	22CH5030008	Nguyễn Quốc Hùng	Nam	29/05/1993	Hà Nội	Ứng dụng mạng NEURON nhân tạo hỗ trợ chẩn đoán bệnh ALZHEIMER.	PGS.TS Huỳnh Lương Nghĩa SĐT: 0913084711 Email: nghiahhl@epu.edu.vn	Trường Đại học Điện lực
9	22CH5030009	Phạm Văn Thiệm	Nam	01/05/1999	Nam Định	Nghiên cứu thiết kế chế tạo thử nghiệm thiết bị cảm biến cầm tay định lượng H2O2 nhằm xác định nồng độ Glucose	TS. Lê Trọng Hiếu SĐT: 0906480210 Email: hieult@epu.edu.vn	Trường Đại học Điện lực
10	22CH5030010	Nguyễn Thị Tố Anh	Nữ	11/11/1999	Bắc Giang	Xây dựng mô hình nhà thông minh ứng dụng AI	TS Nguyễn Nam Quân SĐT: 0913572484 Email: quannn@epu.edu.vn	Trường Đại học Điện lực
11	22CH5030011	Lê Hoàng Dương	Nam	27/06/1999	Vĩnh Phúc	Nghiên cứu ứng dụng Deep Learning nhằm cải thiện khả năng phát hiện ung thư vú khi chụp nhũ ảnh sàng lọc	NHD1: PGS.TS Đỗ Xuân Tiến SĐT: 0903297424 Email: tiendx@epu.edu.vn	Trường Đại học Điện lực
							NHD2: TS. Doãn Thanh Bình SĐT: 0904454355 Email: binhdt@epu.edu.vn	Trường Đại học Điện lực

* Danh sách này gồm: 11 học viên

KHOA ĐIỆN TỬ VIỄN THÔNG



TS. Phạm Duy Phong

PHÒNG ĐÀO TẠO SAU ĐẠI HỌC



TS. Lê Thành Doanh

Q. HIỆU TRƯỞNG



PGS.TS Đinh Văn Châu

PHỤ LỤC: DANH SÁCH GIAO ĐỀ TÀI LUẬN VĂN THẠC SĨ VÀ NGƯỜI HƯỚNG DẪN LUẬN VĂN THẠC SĨ
NGÀNH: KỸ THUẬT ĐIỆN TỬ, MÃ SỐ 8520203 - ĐỢT 3 KHÓA 10 (2022 -2024)

(kèm theo Quyết định số 729 /QĐ-ĐHDL ngày 15 tháng 5 năm 2023 của Trường Đại học Điện lực)

STT	Mã học viên	Họ và tên	Giới tính	Ngày sinh	Nơi sinh	Tên đề tài luận văn thạc sĩ	Tên người hướng dẫn khoa học	Đơn vị công tác
1	22CH5030012	Phan Thanh Thìn	Nam	07/12/1988	Hà Nội	Nghiên cứu thực hiện bù méo phi tuyến bộ khuếch đại dựa trên bảng tra	NHD1: TS. Trần Văn Nghĩa SĐT: 0973326312 Email: nghiamosmpt@gmail.com	Học viện Phòng không không quân
							NHD2: TS. Hồ Mạnh Cường SĐT: 0983500620 Email: cuonghm@epu.edu.vn	Trường Đại học Điện lực
2	22CH5030013	Trần Đại Phong	Nam	03/12/1994	Nam Định	Nghiên cứu, thiết kế, chế tạo máy rửa siêu âm ứng dụng làm sạch các dụng cụ y tế	TS. Lai Thị Vân Quyên SĐT: 0903294048 Email: vanquyen2407@gmail.com	Trường Đại học Điện lực
3	22CH5030014	Lê Thanh Phong	Nam	14/01/1999	Hải Phòng	Tính toán, đánh giá độ phức tạp của một dãy số phi tuyến có cấu trúc lồng ghép	HD1: TS. Hoàng Thị Phương Thảo SĐT: 0982225258 Email: thaohp@epu.edu.vn	Trường Đại học Điện lực
							HD2: TS. Lê Chí Quỳnh SĐT: 0913214000 Email: quynhlc@epu.edu.vn	Trường Đại học Điện lực

* Danh sách này gồm: 3 học viên

KHOA ĐIỆN TỬ VIỄN THÔNG

PHÒNG ĐÀO TẠO SAU ĐẠI HỌC



TS. Phạm Duy Phong



TS. Lê Thành Doanh

Q. HIỆU TRƯỞNG



PGS.TS Đinh Văn Châu

Số: 188/QĐ-ĐHDL

Hà Nội, ngày 25 tháng 10 năm 2024

QUYẾT ĐỊNH
Về việc thành lập Hội đồng chấm luận văn thạc sĩ khoá 10 (2022 - 2024)
ngành Kỹ thuật điện tử, mã số 8520203

HIỆU TRƯỞNG TRƯỜNG ĐẠI HỌC ĐIỆN LỰC

Căn cứ Nghị quyết số 03/NQ-HĐT ngày 30/5/2023 của Hội đồng trường Trường Đại học Điện lực ban hành Quy chế Tổ chức và hoạt động của Trường Đại học Điện lực;

Căn cứ Quyết định số 666/QĐ-ĐHDL ngày 31/5/2022 của Trường Đại học Điện lực về việc ban hành Quy chế đào tạo trình độ thạc sĩ;

Căn cứ Quyết định số 978/QĐ-ĐHDL ngày 28/6/2023 của Trường Đại học Điện lực về việc bổ sung một số điều của Quy chế đào tạo trình độ thạc sĩ;

Căn cứ Quyết định số 729/QĐ-ĐHDL ngày 15/5/2023 của Trường Đại học Điện lực về việc phân công người hướng dẫn và tên đề tài luận văn thạc sĩ đối với các học viên cao học khóa 10 (2022-2024) ngành Kỹ thuật điện tử;

Căn cứ Hồ sơ đăng ký bảo vệ luận văn thạc sĩ của học viên và Đề nghị danh sách Hội đồng chấm luận văn thạc sĩ ngày 25/10/2024 của Khoa Điện tử Viễn thông;

Căn cứ Tờ trình số 199/TTr-QL Đào tạo ngày 25/10/2024 của Phòng Quản lý Đào tạo về việc đề nghị thành lập Hội đồng chấm luận văn thạc sĩ khóa 2022 ngành Kỹ thuật điện tử;

Theo đề nghị của Trưởng phòng Quản lý Đào tạo.

QUYẾT ĐỊNH:

Điều 1. Thành lập Hội đồng đánh giá luận văn thạc sĩ khóa 10 (2022-2024) cho học viên Cao học:

Họ và tên học viên: Phan Thanh Thìn

Sinh ngày: 07/12/1988

Lớp: CH10.KTĐT3

Ngành đào tạo: Kỹ thuật điện tử

Giới tính: Nam

Nơi sinh: Hà Nội

Mã HV : 22CH5030012

Mã số: 8520203

Tên đề tài luận văn: Nghiên cứu thực hiện bù méo phi tuyến bộ khuếch đại dựa trên bảng tra.

Người hướng dẫn khoa học:

-NHD1: TS. Trần Văn Nghĩa - Học viện Phòng không Không quân

-NHD2: TS. Hồ Mạnh Cường - Trường Đại học Điện lực

Điều 2. Cử Ông (bà) có tên sau đây tham gia vào Hội đồng đánh giá luận văn thạc sĩ.

STT	Họ và tên (học hàm, học vị)	Đơn vị công tác	Chức danh trong HĐ
1	TS. Phạm Duy Phong	Trường Đại học Điện lực	Chủ tịch
2	TS. Đỗ Văn Tuấn	Trường Đại học Điện lực	Thư kí
3	TS. Bạch Nhật Hoàng	Viện Điện tử, Viện Khoa học & Công nghệ Quân sự	Phản biện 1
4	TS. Ngô Duy Tân	Trường Đại học Điện lực	Phản biện 2
5	PGS.TS. Trần Hoài Trung	Trường Đại học Giao thông Vận tải	Ủy viên

Điều 3. Hội đồng đánh giá luận văn thạc sĩ có trách nhiệm tổ chức đánh giá trong thời hạn 30 ngày kể từ ngày kí Quyết định. Hội đồng tự giải thể sau khi hoàn thành nhiệm vụ.

Điều 4. Trưởng các đơn vị: Phòng Quản lý Đào tạo, Phòng Kế hoạch - Tài chính, Khoa Điện tử Viễn thông, các đơn vị khác có liên quan, các thành viên trong Hội đồng chấm luận văn thạc sĩ tại Điều 2 và các cá nhân có tên tại Điều 1 chịu trách nhiệm thi hành Quyết định này. /.

Nơi nhận:

- Như Điều 4;
- HT (để báo cáo);
- Lưu: VT, QLĐào tạo, PhươngBT (05).

**KT.HIỆU TRƯỞNG
PHÓ HIỆU TRƯỞNG**



Nguyễn Lê Cường

BỘ CÔNG THƯƠNG
TRƯỜNG ĐẠI HỌC ĐIỆN LỰC



PHAN THANH THÌN

**NGHIÊN CỨU THỰC HIỆN BÙ MÉO PHI
TUYẾN BỘ KHUẾCH ĐẠI DỰA TRÊN
BẢNG TRẠ**

LUẬN VĂN THẠC SĨ KỸ THUẬT ĐIỆN TỬ

HÀ NỘI, 2024

BỘ CÔNG THƯƠNG
TRƯỜNG ĐẠI HỌC ĐIỆN LỰC

PHAN THANH THÌN

NGHIÊN CỨU THỰC HIỆN BÙ MÉO PHI
TUYẾN BỘ KHUẾCH ĐẠI DỰA TRÊN
BẢNG TRA

Chuyên ngành : Kỹ Thuật Điện Tử
Mã số : 8520203

TÓM TẮT LUẬN VĂN THẠC SĨ KỸ THUẬT ĐIỆN TỬ

Người hướng dẫn khoa học: TS. Trần Văn Nghĩa
TS. Hồ Mạnh Cường



HÀ NỘI, 2024

LỜI CẢM ƠN

Luận văn này được hoàn thành không chỉ bởi sự nỗ lực cá nhân của em mà còn nhờ sự giúp đỡ, hỗ trợ và động viên từ rất nhiều người. Em xin gửi lời cảm ơn chân thành và sâu sắc nhất đến tất cả những người đã đồng hành và hỗ trợ tôi trong suốt quá trình thực hiện luận văn này.

Trước hết, em xin bày tỏ lòng biết ơn đến Thầy TS. Trần Văn Nghĩa và TS. Hồ Mạnh Cường, người đã tận tình hướng dẫn, góp ý và hỗ trợ em trong suốt quá trình nghiên cứu. Những kiến thức, kinh nghiệm quý báu và sự kiên nhẫn của thầy đã giúp em vượt qua nhiều khó khăn và hoàn thành luận văn này.

Em cũng xin gửi lời cảm ơn đến tất cả các thầy giáo, cô giáo của Trường Đại học Điện Lực, các thầy cô giáo tham dự hội đồng từ các trường đại học danh tiếng và đặc biệt tới các thầy giáo, cô giáo tham gia giảng dạy lớp Cao học Kỹ thuật điện từ khóa 10 những người đã đóng góp ý kiến quý báu và gợi mở nhiều hướng nghiên cứu mới, giúp em hoàn thiện hơn luận văn của mình.

Bên cạnh đó, em xin cảm ơn đến trường đại học Điện Lực nơi đã cung cấp nguồn tài liệu và dữ liệu quan trọng cho nghiên cứu của em. Sự hỗ trợ về mặt cơ sở vật chất và điều kiện nghiên cứu từ trường là không thể thiếu đối với sự thành công của luận văn này.

Em cũng xin gửi lời cảm ơn đến bạn bè, đồng nghiệp và gia đình đã luôn bên cạnh, động viên và khích lệ em trong suốt quá trình học tập và nghiên cứu. Sự chia sẻ và ủng hộ từ các bạn đã giúp em có thêm động lực và niềm tin để hoàn thành công việc của mình.

Cuối cùng, em xin cảm ơn tất cả những ai đã trực tiếp hoặc gián tiếp giúp đỡ em trong suốt quá trình thực hiện luận văn này. Mặc dù không thể kể hết tên từng người, nhưng sự hỗ trợ của các bạn là nguồn động viên to lớn đối với em.

Xin trân trọng cảm ơn!

Hà Nội, ngày ... tháng ... năm 2024

Tác giả



Phan Thanh Thìn

LỜI CAM ĐOAN

Tôi xin cam đoan:

Bản luận văn tốt nghiệp này là công trình nghiên cứu của cá nhân tôi, được thực hiện dựa trên cơ sở nghiên cứu lý thuyết, thực tế dưới sự hướng dẫn của Thầy TS. Trần Văn Nghĩa và TS. Hồ Mạnh Cường.

Các số liệu, kết luận của luận văn là trung thực, dựa trên sự nghiên cứu những mô hình, kết quả đã đạt được của các nước trên thế giới và trải nghiệm của bản thân, chưa từng được công bố dưới bất kỳ hình thức nào trước khi trình bày bảo vệ trước “Hội đồng đánh giá luận văn thạc sỹ kỹ thuật”.

Tôi xin chân thành cảm ơn!

Hà Nội, ngày ... tháng ... năm 2024

Tác giả



Phan Thanh Thìn

MỤC LỤC

MỤC LỤC.....	i
DANH MỤC TỪ VIẾT TẮT	iii
DANH MỤC HÌNH VẼ.....	ix
I. MỞ ĐẦU	1
1. Lý do chọn đề tài	1
2. Mục đích nghiên cứu.....	1
3. Nhiệm vụ nghiên cứu:	1
4. Đối tượng và phạm vi nghiên cứu.....	2
5. Phương pháp nghiên cứu.....	2
6. Dự kiến kết quả nghiên cứu.....	2
II. NỘI DUNG	2
CHƯƠNG 1: KỸ THUẬT TUYẾN TÍNH HÓA VÀ CÁC MÔ HÌNH HÀNH VI PHI TUYẾN CỦA BỘ KHUẾCH ĐẠI CÔNG SUẤT	3
1.1. Méo phi tuyến của bộ khuếch đại	3
1.1.1. Bộ khuếch đại công suất lý tưởng và phi tuyến không nhớ	3
1.1.2. Hiệu ứng bộ nhớ của bộ khuếch đại công suất	7
1.1.3. Các phép đo phi tuyến cho tín hiệu điều chế	9
1.1.4. Đánh đổi giữa tuyến tính và hiệu suất.....	11
1.2. Tổng quan về kỹ thuật tuyến tính hóa	13
1.3. Mô hình hành vi của bộ khuếch đại công suất cho méo trước tín hiệu số dải cơ sở.....	16
1.3.1. Các mô hình hành vi bộ khuếch đại không nhớ.....	18
1.3.2. Các mô hình hành vi bộ khuếch đại có hiệu ứng nhớ.....	20
1.4. Kết luận chương I.....	25
CHƯƠNG 2: MÉO TRƯỚC SỐ TÍN HIỆU DẢI CƠ SỞ DỰA TRÊN BẢNG TRA.....	26
2.1. Đặt vấn đề.....	26
2.2. Tổ chức bảng tra cứu trong thiết kế.....	27
2.2.1. Sơ đồ DPD dựa trên LUT.....	28

2.2.2. Kích thước LUT và độ dài từ tín hiệu lượng tử	31
2.2.3. Khoảng cách LUT	32
2.3. Phương pháp nhận dạng méo phi tuyến	34
2.3.1. Học gián tiếp: Phương pháp méo sau và dịch	34
2.3.2. Phương pháp méo trước dự đoán	38
2.4. Cập nhật bảng tra cứu cho quá trình thích ứng	41
2.5. Kết luận chương 2	44
CHƯƠNG 3: TRIỂN KHAI VÀ ĐÁNH GIÁ THIẾT KẾ BỘ MÉO TRƯỚC TÍN HIỆU DỰA TRÊN BẢNG TRA.....	46
3.1. Mô tả thiết kế FPGA	46
3.1.1. Tiêu Thiết kế DPD thích ứng bên ngoài	46
3.1.2. Thiết kế DPD thích ứng bên trong FPGA	49
3.2. Thiết lập hệ thống thử nghiệm	51
3.3. Các kết quả thử nghiệm.....	53
3.3.1. Kết quả mô phỏng DPD có thích ứng ngoài	53
3.3.2. Kết quả mô phỏng DPD có thích ứng trong FPGA	56
3.4. Kết luận chương 3	59
III. KẾT LUẬN	61
DANH MỤC CÁC TÀI LIỆU THAM KHẢO.....	62

DANH MỤC TỪ VIẾT TẮT

STT	Từ viết tắt	Thuật ngữ tiếng Anh	Thuật ngữ tiếng Việt
1	ABC & S	Always Best Connected and Served.	Luôn kết nối và phục vụ tốt nhất
2	ACLR	Adjacent Channel Leakage power Ratio.	Tỷ lệ công suất rò rỉ kênh liền kề
3	ACEPR	Adjacent Channel Error Power Ratio.	Tỷ lệ công suất lỗi kênh liền kề
4	ACPR	Adjacent Channel Power Ratio.	Tỷ lệ công suất kênh liền kề
5	AM/AM	Amplitude Modulation to Amplitude Modulation conver	Chuyển đổi Điều chế Biên độ sang Điều chế Biên độ
6	AM/PM	Amplitude Modulation to Phase Modulation conversion.	Chuyển đổi Điều chế Biên độ sang Điều chế Pha
7	ANN	Artificial Neural Network.	Mạng Nơ-ron Nhân tạo
8	AWGN	Additive White Gaussian Noise.	Nhiều Gaussian Trắng Cộng
9	BB	Baseband.	Dải tần cơ sở
10	BER	Bit Error Rate.	Tỷ lệ lỗi bit
11	BO	Back-off.	Giảm công suất
12	BPC	Basic Predistorter Cell (or Basic Predistortion Cell).	Ô Tiên điều chỉnh cơ bản (hoặc Ô Tiên điều chỉnh cơ bản)
13	BPSK	Binary Phase Shift Keying.	Điều chế Phân cực Phase Keying (PSK nhị phân)

14	CALLUM	Combined Analog-Locked Loop Universal Modulator.	Bộ Điều chế Tổng hợp Khóa Analog-Locked Universal
15	cdf	Cumulative density function.	Hàm phân phối tích lũy
16	CDMA	Code Division Multiple Access.	Phân chia mã truy cập nhiều (Code Division Multiple Access)
17	CFB	Cartesian Feedback.	Phản hồi Cartesian
18	CFB-RM	Cartesian Feedback with Reference Model.	Phản hồi Cartesian với Mô hình Tham chiếu
19	cte	constant.	Hằng số
20	DPD	Digital Predistortion (or Digital Predistorter).	Tiền điều chỉnh Kỹ thuật số (hoặc Bộ Tiền điều chỉnh Kỹ thuật số)
21	DSP	Digital Signal Processor (or Digital Signal Processing).	Bộ xử lý tín hiệu số (hoặc Xử lý tín hiệu số)
22	DVB	Terrestrial Digital Video Broadcasting.	Phát sóng Video Kỹ thuật số mặt đất
23	etc.	etcetera.	v.v.
24	EE&R	Envelope Elimination and Restoration.	Loại bỏ và phục hồi bao bọc (Envelope Elimination and Restoration)
25	ETSI	European Telecommunications Standards Institute.	Viện Tiêu chuẩn Viễn thông Châu Âu
26	EVM	Error Vector Magnitude.	Độ lớn sai số vector
27	FET	Field-Effect Transistor.	Transistor hiệu ứng trường
28	FFT	Fast Fourier Transform.	Biến đổi Fourier nhanh

29	FIR	Finite Impulse Response.	Phản hồi xung hữu hạn
30	FOM	Figure Of Merit.	Giới hạn đỉnh
31	FPGA	Field-Programmable Gate Array.	Mảng công lập trình trường
32	GA	Genetic Algorithm.	Thuật toán di truyền
33	GS	Gradient Search.	Tìm kiếm theo độ dốc
34	GSM	Global System for Mobile communications.	Hệ thống toàn cầu cho truyền thông di động
35	HD	Harmonic Distortion.	Méo hài
36	I	In-phase.	Cùng pha
37	IBO	Input Back-off.	Giảm công suất đầu vào
38	IEEE	Institute of Electrical and Electronics Engineers.	Viện Kỹ sư Điện và Điện tử
39	IF	Intermediate Frequency.	Tần số trung gian
40	IFFT	Inverse Fast Fourier Transform.	Biến đổi Fourier nhanh nghịch đảo
41	IIR	Infinite Impulse Response.	Phản hồi xung vô hạn
42	IMD	Intermodulation Distortion.	Méo tương tác
43	IMP	Intermodulation Products.	Sản phẩm tương tác
44	ISI	Inter-Symbol-Interference.	Nhiều giữa các ký tự
45	LINC	Linear amplification using Nonlinear Components.	Khuếch đại Tuyến tính sử dụng các thành phần Phi tuyến
46	LMS	Least Mean Squares.	Bình phương tối thiểu
47	LO	Local Oscillator.	Dao động viên địa phương
48	LS	Least Squares.	Bình phương tối thiểu

49	LTI	Linear Time-Invariant.	Tuyến tính không đổi theo thời gian
50	LUT	Look-Up Table.	Bảng tra cứu
51	MLP	Multilayer Perceptron.	Mạng Perceptron nhiều lớp
52	MMC	Metropolis Monte Carlo.	Phương pháp Monte Carlo Metropolis
53	MOSFET	Metal Oxide Semiconductor Field-Effect Transistor.	Transistor hiệu ứng trường bán dẫn oxit kim loại
54	MSE	Mean Square Error.	Sai số bình phương trung bình
55	NARMA	Nonlinear Auto-Regressive Moving Average.	Trung bình trượt tự hồi quy Phi tuyến
56	NMA	Nonlinear Moving Average.	Trung bình trượt Phi tuyến
57	NMSE	Normalized Mean Square Error.	Sai số bình phương trung bình chuẩn hóa
58	NN	Neural Network.	Mạng nơ-ron
59	OBO	Output Back-off.	Giảm công suất đầu ra
60	OFDM	Orthogonal Frequency Division Multiplexing.	Phân chia tần số vuông góc (OFDM)
61	PA	Power Amplifier.	Bộ khuếch đại công suất
62	PAE	Power Added Efficiency.	Hiệu suất công suất bổ sung
63	PAPR	Peak-to-Average Power Ratio.	Tỷ lệ công suất đỉnh trên trung bình
64	PD	Predistortion.	Tiền điều chỉnh
65	pdf	probability density function.	Hàm mật độ xác suất

66	PHY	Physical layer.	Lớp vật lý
67	PSA	Performance Spectrum Analyzer.	Máy phân tích phổ hiệu suất
68	PSK	Phase Shift Keying.	Điều chế thay đổi pha (PSK)
69	Q	Quadrature.	Phân cực vuông góc
70	QAM	Quadrature Amplitude Modulation.	Điều chế Biên độ Phân cực vuông góc (QAM)
71	QoS	Quality of Service.	Chất lượng dịch vụ
72	QPSK	Quadrature Phase Shift Keying.	Điều chế thay đổi pha phân cực vuông góc (QPSK)
73	RF	Radio Frequency.	Tần số vô tuyến
74	rms	root mean square.	Căn bậc hai của giá trị bình phương trung bình
75	RRC	Root Raised Cosine.	Hàm cosin nâng bậc căn
76	Rx.	Receiver.	Bộ thu
77	SA	Simulated Annealing.	Tối ưu hóa bằng phương pháp luyện kim mô phỏng
78	SC	Single Carrier.	Kênh đơn
79	SDR	Software-Defined Radio.	Sóng radio định nghĩa phần mềm
80	SER	Symbol Error Rate.	Tỷ lệ lỗi ký tự
81	SISO	Single-Input-Single-Output.	Đầu vào - Đầu ra đơn
82	SNR	Signal to Noise Ratio.	Tỷ lệ tín hiệu trên nhiễu
83	SVD	Singular Value Decomposition.	Phân tích giá trị đơn

84	SSPA	Solid State Power Amplifier.	Bộ khuếch đại công suất trạng thái rắn
85	TDNN	Time-Delayed Neural Network.	Mạng Nơ-ron có độ trễ thời gian
86	Tx.	Transmitter.	Bộ phát
87	TWTA	Traveling Wave Tube Amplifiers.	Bộ khuếch đại ống sóng truyền
88	UMTS	Universal Mobile Telecommunications System.	Hệ thống viễn thông di động toàn cầu
89	VCO	Voltage-Controlled Oscillator. versus.	Dao động viên điều khiển bằng điện áp
90	vs.	versus	So với
91	VSA	Vector Signal Analyzer.	Máy phân tích tín hiệu vector
92	W-CDMA	Wideband Code Division Multiple Access	Phân chia mã truy cập nhiều băng rộng
93	WiMAX	Worldwide Interoperability for Microwave Access.	Tính tương tác toàn cầu cho truy cập vi sóng
94	WLAN	Wireless Local Area Network.	Mạng cục bộ không dây

DANH MỤC HÌNH VẼ

Hình 1-1: Đặc tuyến AM-AM và AM-PM của PA.....	5
Hình 1-2: Một số giá trị đo đặc tính khuếch đại công suất.....	6
Hình 1-3: Méo xuyên điều chế không đối xứng trong bộ khuếch đại trạng thái rắn do hiệu ứng nhớ.....	7
Hình 1-4: a) PA không có nhớ; b) PA có nhớ.	8
Hình 1-5: Phổ đầu vào và đầu ra PA của tín hiệu OFDM.....	9
Hình 1-6: Biểu diễn Vector lỗi.....	10
Hình 1-7: Các lớp khuếch đại công suất.....	12
Hình 1-8: Cơ sở của tuyến tính hóa bằng méo trước.....	14
Hình 1-9: Sơ đồ khối của bộ méo trước RF	15
Hình 1-10: Sơ đồ khối của máy phát có méo trước số.....	16
Hình 1-11: Sơ đồ khối máy phát có DPD.....	17
Hình 1-12: Mô hình hành vi PA không có nhớ.....	19
Hình 1-13: Mô hình hành vi PA có nhớ	20
Hình 1-14: Mạng nơon perceptron nhiều lớp (MLP).....	21
Hình 1-15: Mạng nơ ron có trễ thời gian (TDNN).....	22
Hình 1-16: Sơ đồ khối của đa thức nhớ cho mô hình phi tuyến tính động.....	24
Hình 2-1: Sơ đồ khối mức cao của máy phát có DPD băng tần cơ sở.	27
Hình 2-2: Sơ đồ DPD dựa trên LUT	29
Hình 2-3: DPD hệ cực	30
Hình 2-4: DPD độ lợi phức	31
Hình 2-5: Cấu trúc DPD dựa trên LUT có hàm nén.....	32
Hình 2-6: Sơ đồ khối của học gián tiếp: phương pháp méo sau và dịch.	34
Hình 2-7: Khối méo trước cơ bản BPC để triển khai FPGA	37
Hình 2-8: Triển khai tập LUT cho DPD sử dụng phương pháp học gián tiếp.	38
Hình 2-9: Sơ đồ khối của phương pháp méo trước dự đoán.....	39
Hình 2-10: Cấu trúc triển khai bộ DPD sử dụng tập các LUT.....	41
Hình 2-11: Sơ đồ khối của DPD có thích ứng bên ngoài.....	42

Hình 2-12: Sơ đồ khối của DPD với thích ứng thời gian thực được thực hiện trong FPGA.....	42
Hình 3-1: Thiết kế DPD có thích ứng bên ngoài được triển khai bằng công cụ System Generator	46
Hình 3-2: Thiết kế FPGA cho khối BPC có thích ứng bên ngoài bằng công cụ System Generator.	47
Hình 3-3: Bộ nhân phức được triển khai thiết kế bằng System Generator.....	48
Hình 3-4: Thiết kế FPGA khối tính mô-đun bằng System Generator	49
Hình 3-5: Thiết kế FPGA cho BPC DPD sử dụng RAM hai cổng để thích ứng theo thuật toán LMS.	50
Hình 3-6: Triển khai FPGA cho BPC méo sau sử dụng Dual-Port RAM và khối LMS để thực hiện thích ứng trực tuyến	51
Hình 3-7: Thiết lập phần cứng thử nghiệm	52
Hình 3-8: Đặc tính AM-AM của PA lớp AB.....	53
Hình 3-9: Đặc tính AM-AM của PA lớp B.	54
Hình 3-10: Phổ công suất đầu ra của PA loại AB.	55
Hình 3-11: Phổ công suất đầu ra của PA loại B.....	55
Hình 3-12: Chòm sao 16-QAM tín hiệu OFDM-DVB-T2 sau PA lớp AB.	56
Hình 3-13: Chòm sao 16-QAM tín hiệu OFDM-DVB-T2 sau PA lớp B.....	57
Hình 3-14: Đặc tính AM-AM của lớp AB PA không có nhớ (bên trái) và có hiệu ứng nhớ (bên phải).	58
Hình 3-15: Phổ công suất đầu ra của PA lớp AB:.....	58
Hình 3-16: Chòm sao 16-QAM cho PA lớp AB có DPD (màu đỏ) và không có DPD, lùi điểm hoạt động (màu xanh):.....	59

I. MỞ ĐẦU

1. Lý do chọn đề tài

Trong thực tế, các bộ khuếch đại công suất có dải động tuyến tính càng rộng, giá thành càng cao, trong khi đó, tín hiệu đa sóng mang có tỷ lệ công suất đỉnh/trung bình lớn. Thậm chí, ngay cả khi làm việc ở vùng tuyến tính, bộ khuếch đại vẫn chứa nhiều thuộc tính không lý tưởng (phi tuyến). Hơn nữa, khi làm việc ở vùng tuyến tính, bộ khuếch đại tín hiệu đa sóng mang có hiệu suất rất thấp (dưới 10%), phần lớn năng lượng điện chuyển thành nhiệt năng dẫn đến hao phí khiến các nhà đài phải trả phí vô ích cho phần năng lượng hao phí đó. Ngày nay, nhu cầu của thiết bị truyền thông không dây ngày càng gia tăng, do đó tầm quan trọng của việc giảm tiêu thụ điện năng để cắt giảm chi phí vận hành cho các nhà cung cấp dịch vụ càng trở nên cấp thiết. Để đạt hiệu suất cao hơn, bộ khuếch đại cần làm việc sát vùng bão hòa (vùng phi tuyến mạnh) dẫn đến méo chính bản thân tín hiệu và bức xạ mạnh sang các kênh lân cận, phá vỡ các tiêu chí được chỉ định trong các tiêu chuẩn truyền thông.

Méo trước tín hiệu dải cơ sở để tuyến tính hóa bộ khuếch đại công suất là một thành phần không thể thiếu để hiện thực hóa các truyền thông không dây đa sóng mang băng rộng như truyền hình DVB, phát thanh DAB, viễn thông 5G.

Đề tài nghiên cứu phương pháp bảng tra cứu để ước tính thích độ méo tuyến tính và bù méo cho bộ khuếch đại công suất, nâng cao hiệu năng và giảm giá thành tổng thể cho hệ thống.

2. Mục đích nghiên cứu

2.1. Mục tiêu nghiên cứu tổng quát: Nắm vững nền tảng khoa học về các kỹ thuật bù méo phi tuyến bộ khuếch đại công suất áp dụng trong lĩnh vực truyền thông vô tuyến không dây đa sóng mang băng rộng.

2.2. Mục tiêu nghiên cứu cụ thể: Xây dựng và triển khai phương pháp bảng tra cứu thích nghi tính toán bù méo phi tuyến cho các hệ thống phát sóng vô tuyến.

3. Nhiệm vụ nghiên cứu:

- Hiểu và nắm được lý thuyết về các kỹ thuật bù méo phi tuyến cho bộ khuếch đại công suất;
- Tổng hợp thuật toán bảng tra cứu thích nghi tính toán bù méo phi tuyến cho các hệ thống phát sóng vô tuyến;

4. Đối tượng và phạm vi nghiên cứu

Đối tượng nghiên cứu: Các hệ thống truyền thông vô tuyến số sử dụng kỹ thuật đa sóng mang băng rộng.

Phạm vi nghiên cứu: Kỹ thuật và triển khai thiết kế bù méo phi tuyến thích nghi cho bộ khuếch đại công suất dựa trên bảng tra cứu.

Thời gian nghiên cứu: Từ năm 2023– 2024

5. Phương pháp nghiên cứu

Luận văn áp dụng lý thuyết biến đổi Fourier, các phương pháp xử lý tín hiệu số và xử lý phi tuyến, phương pháp giải tích, lý thuyết xác suất và thống kê toán học, kỹ thuật mô phỏng Matlab và thực nghiệm.

6. Dự kiến kết quả nghiên cứu

Xây dựng, tổ chức các bảng tra cứu để xây dựng bộ méo trước tín hiệu thích ứng với tính phi tuyến của bộ khuếch đại công suất sát thực tế.

II. NỘI DUNG

Luận văn bao gồm: Phần mở đầu, kết luận, phụ lục, danh mục tài liệu tham khảo, và nội dung của đề tài có **03 chương** sau:

Chương 1: Kỹ thuật tuyến tính hóa và các mô hình hành vi phi tuyến của bộ khuếch đại công suất

Chương 2: Méo trước tín hiệu số dải cơ sở dựa trên bảng tra

Chương 3: Đánh giá thiết kế bộ méo trước tín hiệu dựa trên bảng tra

CHƯƠNG 1: KỸ THUẬT TUYẾN TÍNH HÓA VÀ CÁC MÔ HÌNH HÀNH VI PHI TUYẾN CỦA BỘ KHUẾCH ĐẠI CÔNG SUẤT

Chương này bắt đầu với việc phân tích sự méo phi tuyến trong bộ khuếch đại công suất, làm rõ sự khác biệt giữa bộ khuếch đại lý tưởng và các bộ khuếch đại phi tuyến không nhớ. Nó cũng khám phá các hiệu ứng bộ nhớ của bộ khuếch đại công suất, phép đo phi tuyến đối với tín hiệu điều chế, và sự đánh đổi giữa tính tuyến tính và hiệu suất.

Sau đó, chương cung cấp cái nhìn tổng quan về kỹ thuật tuyến tính hóa và các mô hình hành vi của bộ khuếch đại công suất khi gặp méo tín hiệu số dải cơ sở. Phần này bao gồm các mô hình hành vi cho bộ khuếch đại không nhớ và những bộ khuếch đại có hiệu ứng nhớ.

1.1. Méo phi tuyến của bộ khuếch đại

1.1.1. Bộ khuếch đại công suất lý tưởng và phi tuyến không nhớ

Với PA tuyến tính lý tưởng, đầu ra của PA sẽ giống Bộ khuếch đại công suất (PA) không nhớ lý tưởng có đặc tính truyền đạt tuyến tính, trong đó điện áp đầu ra là bội số vô hướng của điện áp đầu vào. Cụ thể, nếu $v_i(t)$ là điện áp đầu vào của PA, $v_o(t)$ là điện áp đầu ra của PA, $T[\cdot]$ là hàm truyền và g_{PA} là độ lợi điện áp vô hướng, thì một PA tuyến tính có thể được biểu thị như sau:

$$v_o(t) = T[v_i] = g_{PA} v_i(t) \quad (1.1)$$

Với PA tuyến tính lý tưởng, đầu ra của PA sẽ giống hệt với đầu vào (ngoại trừ mức tăng vô hướng) và không có thành phần tần số trong băng tần (IB) hoặc ngoài băng tần (OOB) bổ sung nào được đưa vào. Tuy nhiên, ngay cả khi xem xét hàm truyền tuyến tính, biến dạng liên quan đến động học PA có thể xuất hiện và loại biến dạng này được gọi là méo tuyến tính. Xét hàm truyền trên miền tần số sau đây:

$$H(\omega) = |H(\omega)| e^{j\theta(\omega)} \quad (1.2)$$

Méo tuyến tính biên độ và méo tuyến tính pha sẽ xuất hiện khi:

$$|H(\omega)| \neq g_{PA} \text{ (hằng số)} \quad \forall \omega \quad (1.3)$$

$$\theta(\omega) \neq \omega \text{ (tuyến tính)} \quad \forall \omega \quad (1.4)$$

Sự biến dạng tuyến tính này có thể được bù dễ dàng bằng cách sử dụng các bộ lọc tuyến tính. Tuy nhiên, trên thực tế, PA là một hệ thống phi tuyến trong đó

tín hiệu đầu ra là hàm phi tuyến của tín hiệu đầu vào. Từ quan điểm thực tế, các hiệu ứng được thể hiện bằng sự biến dạng phổ trên tín hiệu truyền qua hệ thống phi tuyến.

Xét một PA không có hiệu ứng nhớ, tín hiệu điện áp đầu ra PA $v_o(t)$ có thể được mô hình hóa bằng biểu thức đa thức [1], nghĩa là một chuỗi các số hạng tỷ lệ với biên độ tín hiệu đầu vào $v_i(t)$:

$$v_o(t) \approx \sum_{k=1}^{\infty} g_k v_i^k(t) \quad (1.5)$$

trong đó g_k lần lượt là mức tăng điện áp của từng số hạng trong chuỗi đa thức. Số hạng đầu tiên của chuỗi này là số hạng tuyến tính và tương ứng với tín hiệu đầu ra mong muốn. Các số hạng bậc chẵn của chuỗi đa thức này ($v_i^2, v_i^4, \dots, v_i^{2k}$) gây ra các thành phần tần số bổ sung ở bội số của tần số sóng mang (còn gọi là sóng hài) của tín hiệu đầu vào. Méo phi tuyến này được mô hình hóa bởi các số hạng chẵn được gọi là méo hài HD - Harmonic Distortion). Trong khi các số hạng lẻ ($v_i^3, v_i^5, \dots, v_i^{2k-1}$) tạo ra các thành phần tần số, một số trong số đó quá gần với tín hiệu mong muốn nên không thể loại bỏ bằng cách lọc. Các kết quả gây nhiễu xuyên điều chế này gọi là méo xuyên điều chế (IMD - InterModulation Distortion). Ngoài ra, một số thành phần tần số hình thành từ các tổ hợp phi tuyến cụ thể rơi trực tiếp vào bên trong băng thông tín hiệu tạo ra méo trong dải IB.

Xét một tín hiệu vô tuyến băng rộng điển hình được điều chế biên độ cầu phương QAM, tác động của méo dạng phi tuyến do PA đưa ra có thể được quan sát thông qua đặc tính biên độ sang biên độ (AM-AM - Amplitude Modulation to Amplitude Modulation) và biên độ sang pha (AM-PM - Amplitude Modulation to Phase Modulation). AM-AM là sự chuyển đổi giữa điều chế biên độ có trên tín hiệu đầu vào và điều chế biên độ bị sửa đổi có trên tín hiệu đầu ra. Nó cung cấp thông tin về mối quan hệ phi tuyến giữa công suất đầu vào và công suất đầu ra. AM-PM là sự chuyển đổi từ điều chế biên độ trên tín hiệu đầu vào sang điều chế pha trên tín hiệu đầu ra. Cụ thể, nếu xem xét rằng PA thể hiện hành vi phi tuyến không có hiệu ứng nhớ và điện áp vào $v_i(t)$,

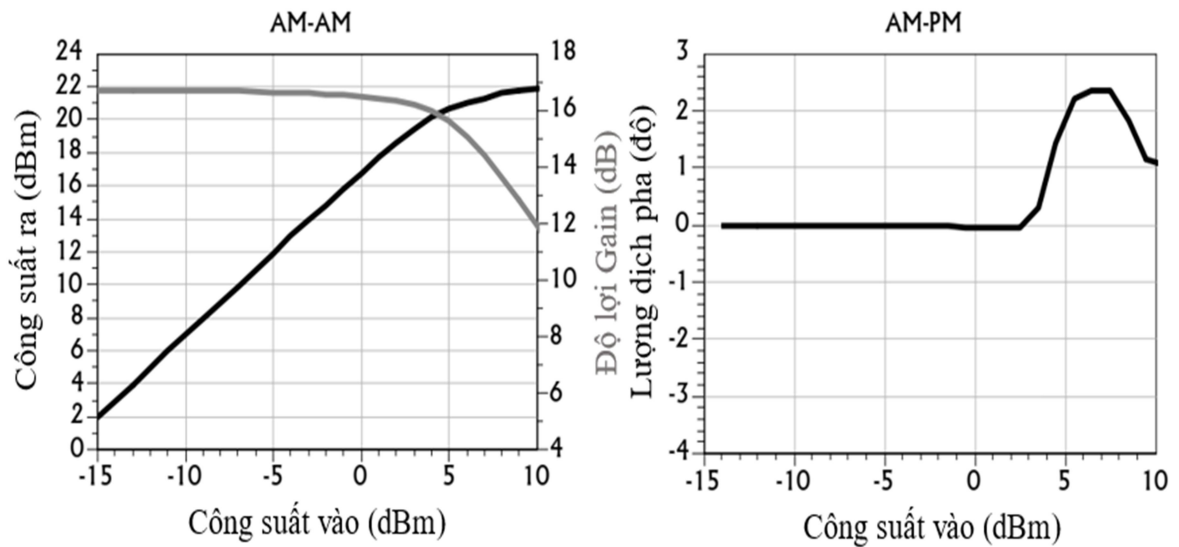
$$v_i(t) = A(t) \cos(\omega_c t + \varphi(t)) \quad (1.6)$$

thì tín hiệu đầu ra bị méo $v_o(t)$ có thể được biểu diễn dưới dạng:

$$v_o(t) = G[A(t)] \cos(\omega_c t + \varphi(t) + \Phi[A(t)]) \quad (1.7)$$

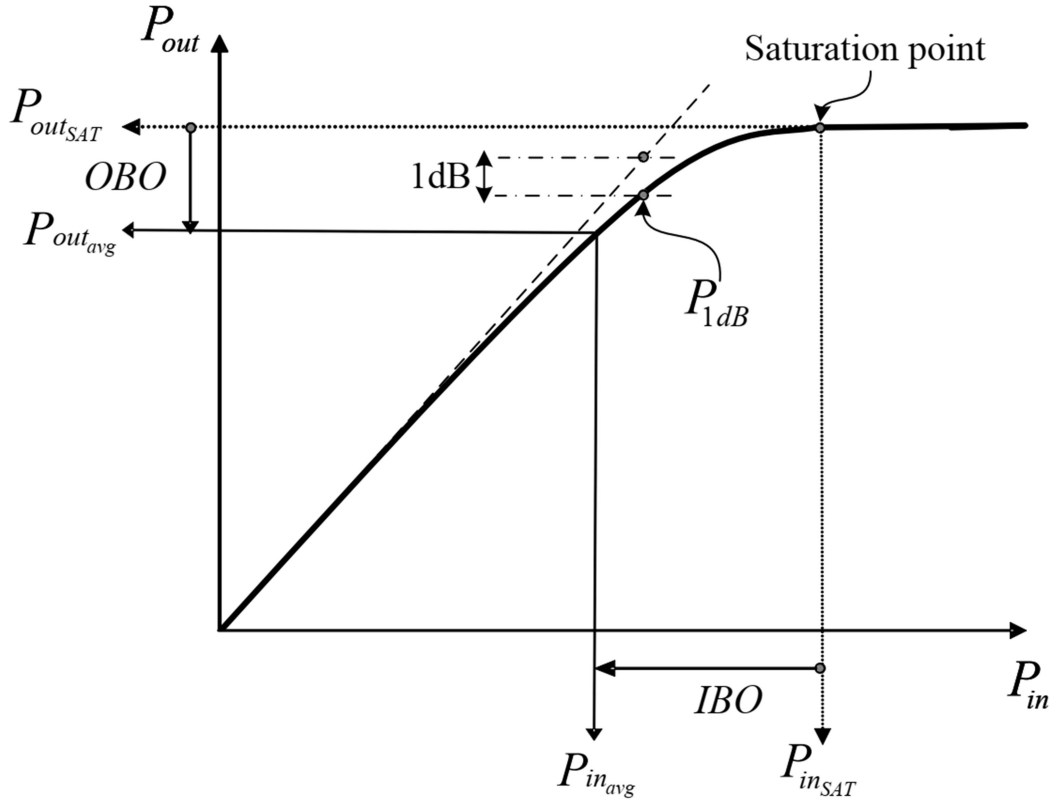
trong đó tín hiệu đầu ra là dạng sóng hình sin ở tần số sóng mang (ω_c) có biên độ là hàm phi tuyến của biên độ tín hiệu đầu vào $G[A(t)]$ và pha của nó cũng là hàm

phi tuyến của biên độ tín hiệu đầu vào $\Phi[A(t)]$. **Hình 1-1** thể hiện một ví dụ về các đặc tính AM-AM và AM-PM của PA, trong đó có thể quan sát thấy rằng độ méo phi tuyến biên độ và pha do PA đưa ra ở mức công suất đầu vào cao.



Hình 1-1: Đặc tuyến AM-AM và AM-PM của PA

Hình 1-2 Hình 1-2 biểu diễn một số giá trị đo phổ biến được sử dụng để mô tả hành vi phi tuyến PA, bao gồm điểm bão hòa, điểm nén 1dB và điểm lùi đầu vào (IBO - Input Back-Off) và điểm lùi đầu ra (OBO - Output Back-Off). Điểm nén 1 dB (P_{1dB}) là giá trị công suất đầu ra trong đó chênh lệch giữa mức tăng tuyến tính của bộ khuếch đại và mức tăng phi tuyến thực tế bằng 1 dB, nghĩa là mức tăng đã chịu nén 1dB.



Hình 1-2: Một số giá trị đo đặc tính khuếch đại công suất

Một phép đo quan trọng khác để mô tả đặc tính của bộ khuếch đại là tỷ lệ công suất đỉnh trên trung bình (PAPR) của tín hiệu. PAPR là tỷ số giữa giá trị cực đại (P_{peak}) của công suất tức thời và công suất trung bình ($P_{average}$) của tín hiệu [2].

$$PAPR[dB] = 10 \log_{10} \left(\frac{P_{peak}}{P_{average}} \right) \quad (1.8)$$

PAPR của tín hiệu được lấy từ hàm mật độ xác suất (PDF - probability density function) của đường bao, hàm này cho biết lượng thời gian tương đối mà đường bao dành cho một giá trị biên độ cụ thể. Thông số này rất quan trọng vì để hoạt động với khuếch đại tuyến tính cần phải hoạt động xa điểm bão hòa, nghĩa là hoạt động dưới mức điểm lồi (Hình 1.2). Các giá trị lồi này không chỉ phụ thuộc vào độ tuyến tính của bộ khuếch đại mà còn phụ thuộc vào PAPR tín hiệu và có thể được đưa ra dưới dạng IBO hoặc OBO,

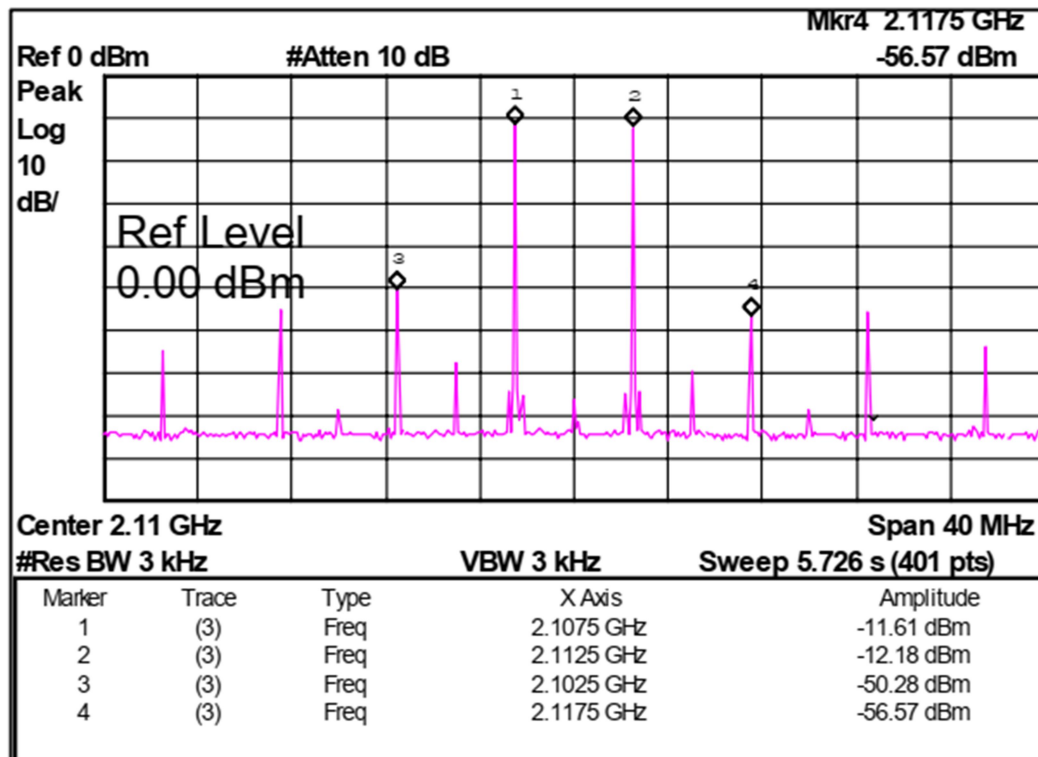
$$IBO[dB] = P_{in_{SAT}} [dBm] - P_{in_{avg}} [dBm] \quad (1.9)$$

$$OBO[dB] = P_{out_{SAT}} [dBm] - P_{out_{avg}} [dBm] \quad (1.10)$$

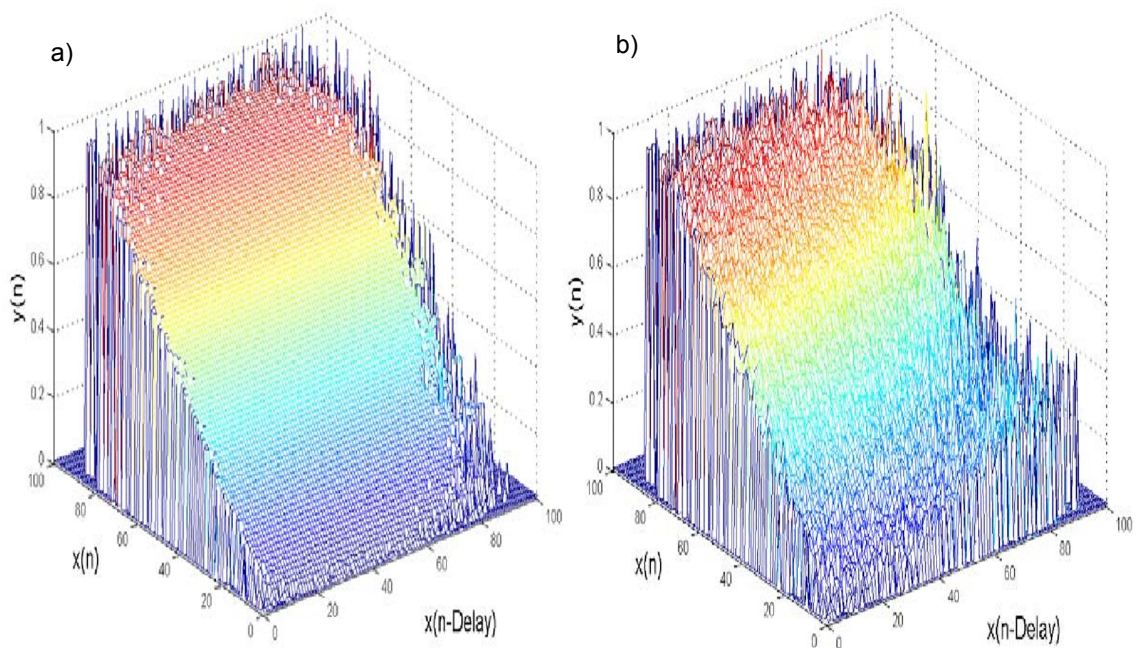
trong đó $P_{in_{SAT}}$ và $P_{out_{SAT}}$ là công suất bão hòa đầu vào và đầu ra, và $P_{in_{avg}}$ và $P_{out_{avg}}$ lần lượt là công suất đầu vào và đầu ra trung bình.

1.1.2. Hiệu ứng bộ nhớ của bộ khuếch đại công suất

Nói chung, các hệ thống phi tuyến không có hiệu ứng nhớ chỉ bị thiệt hại bởi méo biên độ chứ không bởi méo pha. Do đó, nếu có hiện tượng méo pha thì điều này cho thấy hệ thống có một lượng nhớ nhất định. Hiệu ứng nhớ trong bộ khuếch đại công suất có thể được mô tả như là sự phụ thuộc của độ lợi của thiết bị phi tuyến này vào các sự kiện trong quá khứ, nghĩa là phản hồi thời gian không còn tức thời nữa mà sẽ bị kết hợp bởi đáp ứng xung của hệ thống. Các hiệu ứng phi tuyến phụ thuộc băng thông là mối quan tâm đáng kể vì có thể làm giảm hiệu suất của một số kỹ thuật tuyến tính hóa PA như méo trước số. Hiệu ứng nhớ gây ra những thay đổi về biên độ và pha của các thành phần tần số méo do thay đổi tần số điều chế. **Hình 1-3** cho thấy biểu hiện của các hiệu ứng bộ nhớ này, nguyên nhân gây ra méo xuyên điều chế (IMD - Intermodulation Distortion). Bằng cách xem xét mô hình hành vi đường bao phức ở dải cơ sở của PA, **Hình 1-4** cho thấy mối quan hệ giữa đầu vào và mẫu bị trễ của đầu vào ảnh hưởng đến đầu ra PA không nhớ (**Hình 1-4a**) và PA có nhớ (**Hình 1-4b**). Có thể quan sát thấy rằng, trong PA có nhớ sự phụ thuộc của mức tăng vào các mẫu đầu vào bị trễ. Một số ấn phẩm đã giải quyết vấn đề về hiệu ứng bộ nhớ, mô tả nguyên nhân của chúng, đề xuất các phương pháp và mô hình đo lường để mô tả chúng [3].



Hình 1-3: Méo xuyên điều chế không đối xứng trong bộ khuếch đại trạng thái rắn do hiệu ứng nhớ.



Hình 1-4: a) PA không có nhớ; b) PA có nhớ.

Trong phân loại sơ bộ, có thể phân biệt hai loại hiệu ứng nhớ cơ bản:

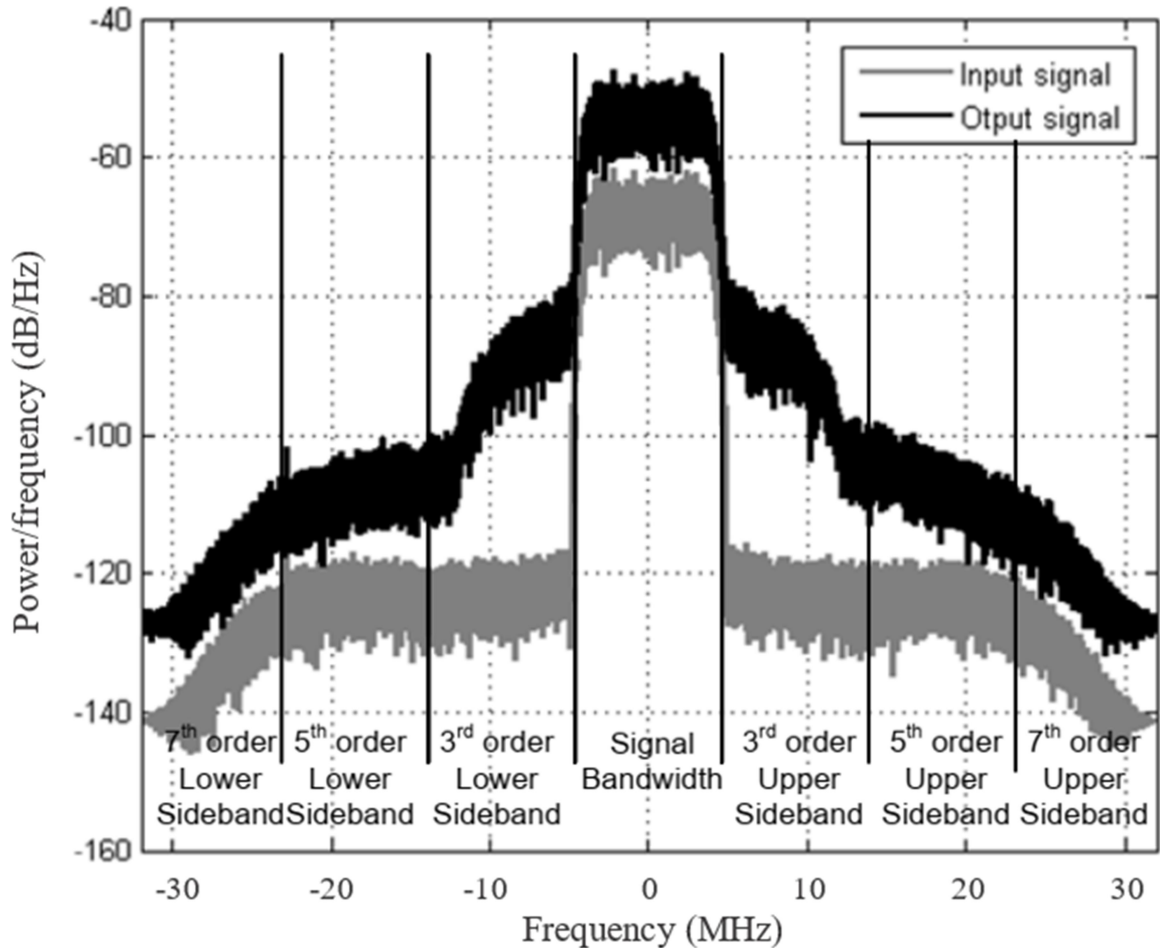
- **Hiệu ứng nhớ điện.** Hiệu ứng này chủ yếu là do trở kháng đầu cuối không đổi ở thành phần một chiều DC, các dải cơ bản và dải hài. Những yếu tố quan trọng nhất là do trở kháng đường bao. Nếu trở kháng của mạng trong bộ khuếch đại công suất cao ở tần số đường bao của tín hiệu, các tín hiệu không mong muốn có cùng tần số đường bao sẽ xuất hiện thêm vào điện áp nguồn DC. Các tín hiệu xoay chiều AC sẽ gây ra sự điều chế AM và PM của tín hiệu RF, tạo ra các dải biên không mong muốn, dẫn đến méo xuyên điều chế.

- **Hiệu ứng nhớ nhiệt điện (phân tán nhiệt).** Hiệu ứng này xảy ra do sự thay đổi nhiệt độ động ở chip làm thay đổi các đặc tính điện của bóng bán dẫn ở tần số đường bao. Kết quả là méo hài các bậc ở dải lân cận phụ thuộc vào trở kháng nhiệt được tạo ra. Thông thường, hiệu ứng nhớ nhiệt chỉ liên quan đến tần số đường bao dưới 1 MHz vì khối lượng chất bán dẫn trong thiết bị hoạt động không thể thay đổi nhiệt độ đủ nhanh để theo kịp tần số đường bao cao.

Mặc dù hiệu ứng nhớ là mượt mà và thường không gây hại cho tính tuyến tính của PA; nhưng lại trở thành một vấn đề nghiêm trọng đối với hiệu suất bù méo của một số kỹ thuật tuyến tính hóa. Trong số các kỹ thuật tuyến tính hóa khác nhau được sử dụng cho các máy phát băng thông rộng, hiện tượng méo số khá nhạy cảm với các hiệu ứng nhớ. Ví dụ: nếu các thành phần méo xuyên điều chế là hàm của tần số điều chế, nhưng tín hiệu bù méo lại không là hàm của tần số điều chế, thì hiệu suất triệt tiêu của phương pháp tuyến tính hóa có thể không đủ đối với tín hiệu băng rộng.

Mặc dù hiệu suất khử méo trong kỹ thuật méo trước số bị giảm do độ nhạy của DPD với các hiệu ứng nhớ, nhưng thực tế cho thấy vẫn có thể đạt được một lượng cải thiện đáng kể trong việc khử méo bằng cách giảm thiểu hoặc loại bỏ các hiệu ứng nhớ của PA.

1.1.3. Các phép đo phi tuyến cho tín hiệu điều chế

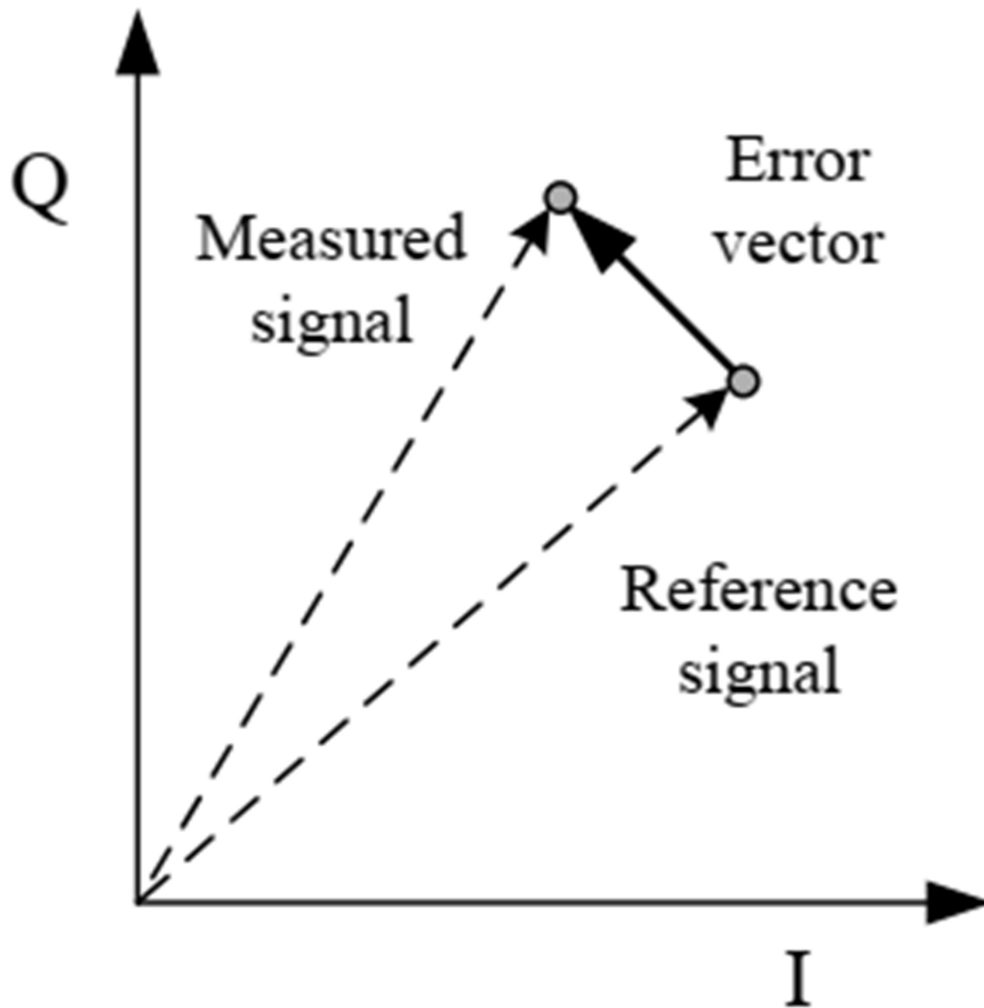


Hình 1-5: Phổ đầu vào và đầu ra PA của tín hiệu OFDM

Để mô tả hành vi PA phi tuyến, tín hiệu truyền qua bộ khuếch đại là tín hiệu được điều chế được đặc trưng bởi phổ tần số phức. Khi các sơ đồ điều chế phức được áp dụng, các phi tuyến xuất hiện trên một dải tần số liên tục và điều này được gọi là sự tái sinh phổ. **Hình 1-5** cho thấy phổ của cả đầu vào và đầu ra khuếch đại của tín hiệu OFDM. Phổ đầu ra thể hiện sự tái sinh phổ do hoạt động phi tuyến của PA. Trong trường hợp này, một giá trị hữu ích là tỷ lệ công suất kênh lân cận (ACPR - Adjacent Channel Power Ratio) hay còn được gọi là tỷ lệ công suất rò rỉ kênh lân cận (ACLR - Adjacent Channel Leakage Power Ratio), được định nghĩa là tỷ lệ của tổng công suất trên băng thông kênh P_{IB} với công suất bức xạ trong kênh liền kề P_{AC} (cả dải biên trên (US - upper sideband) và dải biên dưới (LS - lower sideband)), đó là:

$$ACPR = \frac{P_{IB}}{P_{AC}} = \frac{\int_B P_{out}(f) df}{\int_{LS} P_{out}(f) df + \int_{US} P_{out}(f) df} \quad (1.11)$$

Thiết bị của bất kỳ hệ thống vô tuyến nào đều phải tuân thủ tiêu chuẩn truyền thông cụ thể. Do đó, nó phải tính đến giới hạn phát xạ năng lượng trong băng tần và ngoài băng tần được quy định trong các tiêu chuẩn về mặt nạ phổ phát xạ và ACLR. ACLR chỉ định mức công suất lân cận được phép để không gây nhiễu các kênh lân cận. Vì vậy, bắt buộc phải tránh sự tái phát phổ ở mức độ cao. Mục tiêu này có thể dễ dàng đạt được bằng cách vận hành ở một vùng rất tuyến tính của PA, nghĩa là có độ lùi đáng kể khỏi điểm nén của PA. Tuy nhiên, điều này sẽ dẫn đến việc khuếch đại công suất rất kém hiệu quả mà sẽ được giải thích trong tiểu mục 1.1.4, điều này rất quan trọng đối với thiết bị di động hoạt động bằng pin.



Hình 1-6: Biểu diễn Vector lỗi

Méo phi tuyến có thể làm biến dạng phi tuyến chòm sao QAM trong quá trình khuếch đại và điều này có thể được đo bằng Biên độ vector lỗi (EVM). **Hình 1-6** hiển thị bằng đồ thị vector lỗi giữa tín hiệu (tham chiếu) mong muốn và tín hiệu đo được. EVM được định nghĩa là căn bậc hai của tỷ số giữa công suất vector lỗi trung bình và công suất tham chiếu trung bình và được biểu thị bằng tỷ lệ phần trăm (%).

$$EVM = \sqrt{\frac{\frac{1}{N} \sum_{i=1}^N (\Delta I^2 + \Delta Q^2)}{S_{\max}^2}} [\%] \quad (1.12)$$

Các phép đo méo dạng khác cũng được xem xét trong các tiêu chuẩn truyền thông (nhưng chủ yếu từ quan điểm của bộ thu) là tỷ lệ lỗi ký hiệu (SER) và tỷ lệ lỗi bit (BER), cung cấp tỷ lệ phần trăm số lượng ký hiệu và bit bị lỗi đối với tổng số ký hiệu và bit nhận được tương ứng. Cả hai tỷ lệ lỗi đều liên quan chặt chẽ đến sự biến dạng không mong muốn của các điểm chòm sao [4] và do đó có liên quan đến giá trị của EVM.

1.1.4. Đánh đổi giữa tuyến tính và hiệu suất

Hiệu suất của bộ khuếch đại công suất trong thiết bị không dây là một trong những vấn đề quan trọng nhất vì nó rất quan trọng để kéo dài tuổi thọ pin. Hơn nữa, hiệu quả sử dụng năng lượng ở các trạm cơ sở cũng là mối quan tâm đáng kể vì nó tác động đến cả yêu cầu sử dụng năng lượng chính và làm mát [5]. Bộ khuếch đại công suất thường là thành phần tiêu hao điện nhất trong mạch RF và có thể chiếm tới 70% tổng mức tiêu thụ điện năng trong hệ thống con RF [6].

Hiệu suất của bộ khuếch đại là thước đo mức độ hiệu quả của nguồn DC được chuyển đổi thành nguồn RF, là định nghĩa phổ biến được biểu thị như sau:

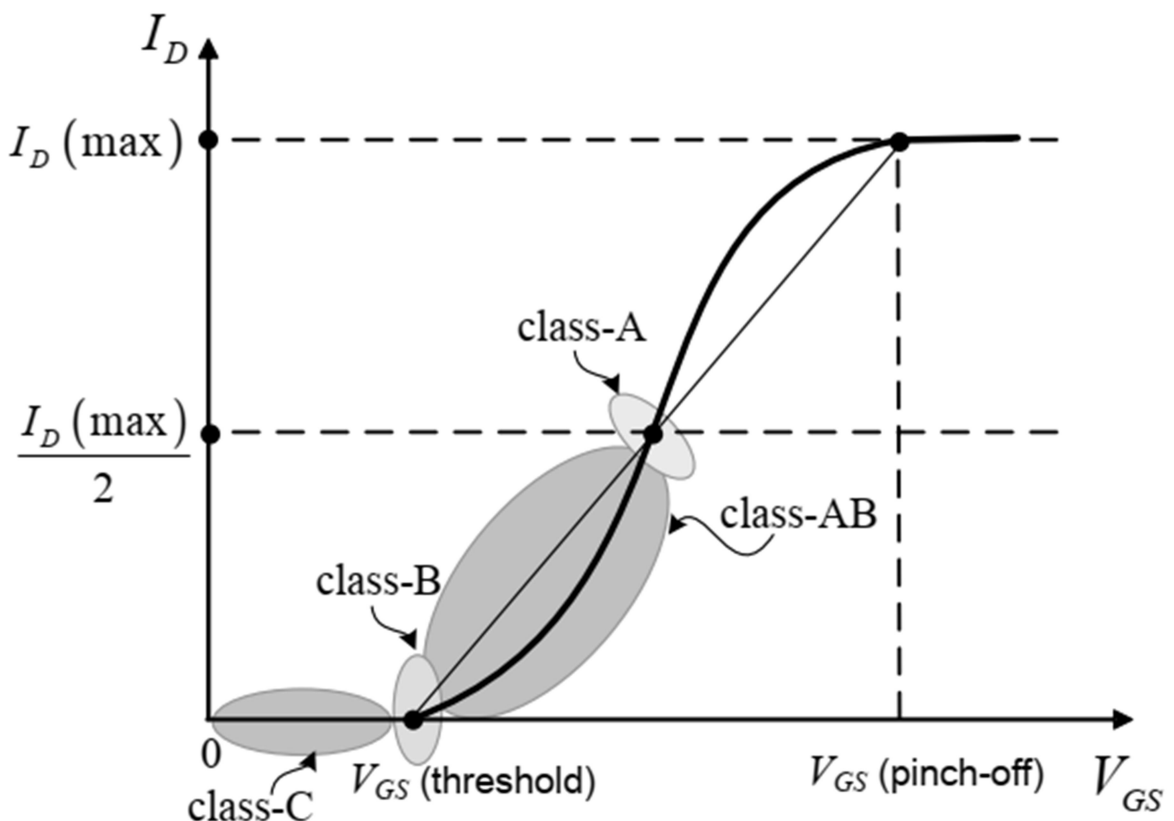
$$\eta = \frac{P_{out}}{P_{DC}} [\%] \quad (1.13)$$

Tuy nhiên, bằng cách chỉ xem xét công suất thực được chuyển đổi thành công suất RF, biện pháp này không cần phải xem xét công suất RF hiện có được đưa vào bộ khuếch đại công suất, do đó, hiệu suất tăng thêm công suất (PAE) được xác định như sau:

$$PAE = \frac{P_{out} - P_{in}}{P_{DC}} [\%] \quad (1.14)$$

Các hệ thống không dây hiệu quả về phổ hiện đại sử dụng các sơ đồ điều chế đa mức dẫn đến tín hiệu có đường bao không cố định. Các sơ đồ điều chế này

tạo ra tín hiệu có tỷ số công suất đỉnh trên trung bình cao. Thông thường trong PA, hiệu suất tức thời được định nghĩa là hiệu suất ở một mức đầu ra cụ thể, cao hơn ở mức công suất đầu ra cao nhất khi làm việc gần điểm nén. Do đó, các tín hiệu có biên độ thay đổi theo thời gian tạo ra hiệu suất thay đổi theo thời gian. Để tránh các hiệu ứng phi tuyến trong quá trình khuếch đại đòi hỏi phải phát các tín hiệu có biên độ cực đại thấp hơn nhiều so với đỉnh đầu ra của bộ khuếch đại (hoạt động lồi), làm giảm hiệu suất trung bình [7]. Tuy nhiên, hiệu suất PA không chỉ phụ thuộc vào lồi điểm đầu vào hoặc đầu ra mà còn phụ thuộc vào loại hoạt động của bóng bán dẫn điện. **Hình 1-7** cho thấy một số lớp vận hành bộ khuếch đại công suất phổ biến nhất, được phân biệt bằng phần chu kỳ RF. Cụ thể là, 100% cả chu kỳ (pha 2π) tương ứng với loại A, 50% (pha π) tương ứng với loại B, từ 50% đến 100% tương ứng với loại AB, và cuối cùng nhỏ hơn 50% đối với loại C, D, E và F. Sự cân bằng hiệu suất giữa các lớp hoạt động khác nhau bao gồm hiệu suất, độ tuyến tính, mức tăng công suất, băng thông tín hiệu và công suất đầu ra [8].



Hình 1-7: Các lớp khuếch đại công suất

Trong khi ở lớp A, lớp AB, lớp B, bóng bán dẫn hoạt động như một chất bán dẫn thì ở lớp C, D, E và F, nó hoạt động như một chuyển mạch, do đó đạt được mức hiệu suất cao. Mặc dù các bộ khuếch đại công suất loại C, loại D, loại E và loại F cho thấy hiệu suất cao nhưng chúng thường không phù hợp cho các ứng dụng tuyến tính vì chúng tạo ra xung điện và gây ra hiện tượng tái sinh phổ tới

hạn làm ảnh hưởng đến các kênh lân cận. Tuy nhiên, bằng cách sử dụng mạch tuyến tính hóa phù hợp, các bộ khuếch đại công suất hiệu quả này đã được sử dụng cho các sơ đồ điều chế yêu cầu khuếch đại tuyến tính. Do đó, việc sử dụng lồi điểm hoạt động của PA loại A đảm bảo khuếch đại tuyến tính các tín hiệu có PAPR lớn dẫn đến cực kỳ kém hiệu quả.

Như vậy, việc sử dụng bộ tuyến tính hóa có thể mang lại những ưu điểm lớn. Các kỹ thuật tuyến tính hóa được kết hợp trong thiết kế PA hoặc là một phần của hệ thống con của hệ thống vô tuyến cho phép cải thiện hiệu suất tiêu thụ điện năng, đồng thời duy trì tuyến tính cho tín hiệu.

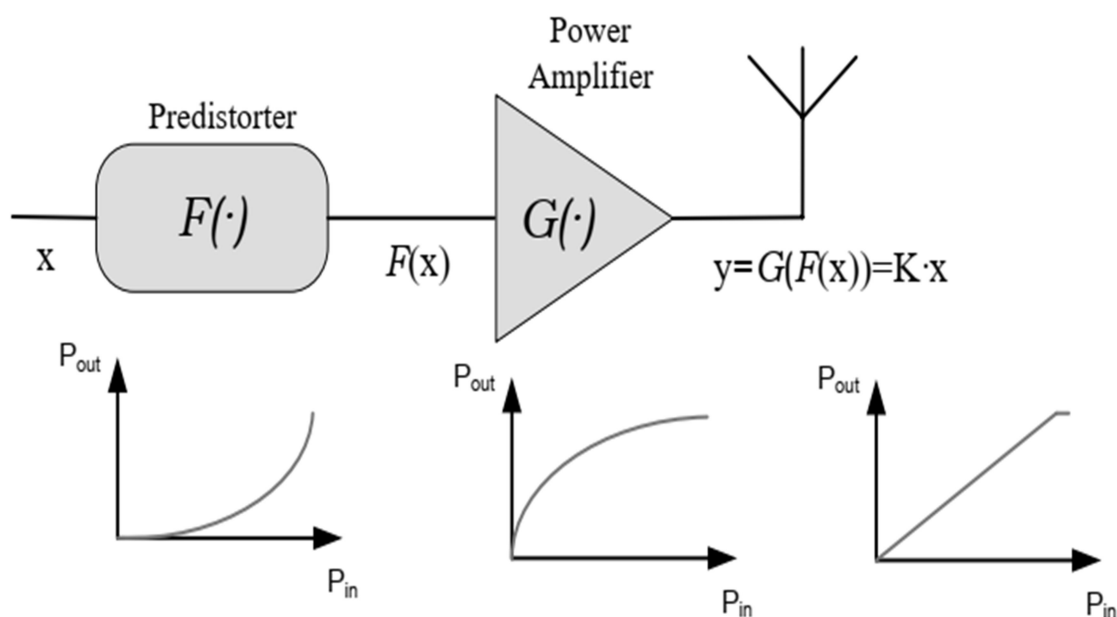
1.2. Tổng quan về kỹ thuật tuyến tính hóa

Các yêu cầu về độ tuyến tính trong máy phát là yêu cầu bắt buộc đối với thiết bị phải được thỏa mãn theo một tiêu chuẩn truyền thông cụ thể. Ngoài ra, trong các hệ thống vô tuyến mang xách, chúng ta có thể xác định được sự cân bằng của ba yếu tố: tốc độ truyền, công suất tự chủ của pin và giới hạn vùng phủ sóng. Do đó, một số vấn đề phải được xem xét, chẳng hạn như sơ đồ điều chế (hiệu suất phổ) có hệ số đỉnh (CF) cao, mức tiêu thụ điện năng của thiết bị (hiệu suất điện năng) và các yêu cầu về tuyến tính của hệ thống.

Các cấu trúc tuyến tính hóa có khả năng giải quyết sự cân bằng hiện có giữa tính tuyến tính và hiệu suất năng lượng. Tuy nhiên, không có kỹ thuật tuyến tính hóa hiện tại nào có thể được coi là giải pháp phổ quát cho chính nó, hơn nữa tính tối ưu của mỗi giải pháp phụ thuộc vào nhiều yếu tố như yêu cầu cụ thể của một ứng dụng cụ thể. Nói chung các bộ tuyến tính hóa nhằm mục đích:

- Loại bỏ hoặc giảm độ bức xạ ngoài băng tần (ví dụ: được đo bằng mức giảm ACPR hoặc méo xuyên điều chế IMD).
- Loại bỏ hoặc giảm độ méo trong dải (ví dụ: được đo bằng EVM).
- Ưu tiên hiệu quả sử dụng năng lượng bằng cách vận hành ở mức gần điểm nén nhưng vẫn duy trì khuếch đại tuyến tính.
- Hoạt động với các sơ đồ điều chế hiệu quả phổ (mặc dù PAPR cao) để nâng cao hiệu quả phổ.

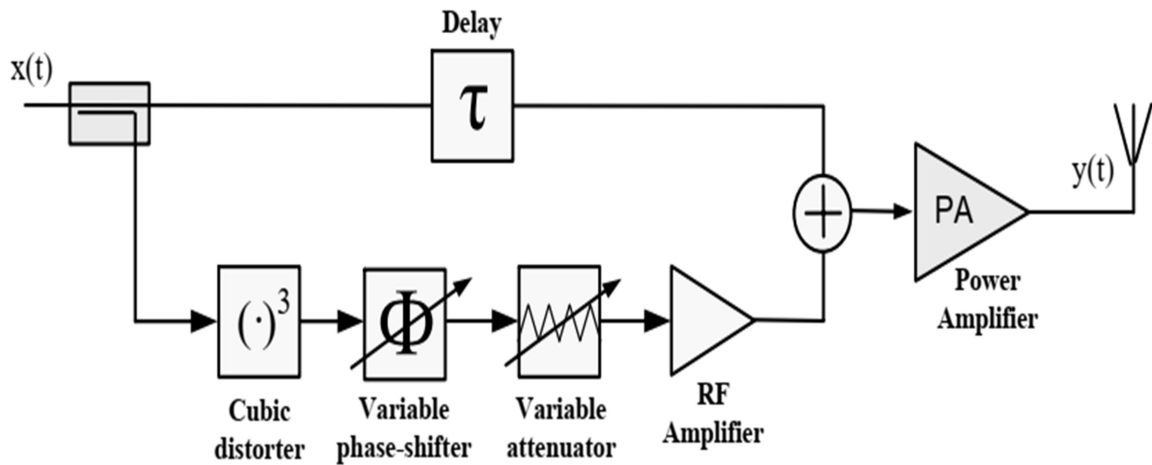
Về mặt khái niệm, méo trước số (DPD) là một kỹ thuật tuyến tính hóa khá dễ dàng vì nó bao gồm việc đặt trước PA một thiết bị gọi là bộ PD (predistorter) để chống lại đặc tính phi tuyến của PA. Sau đó, mục tiêu của bộ méo trước là tái tạo một cách lý tưởng hành vi phi tuyến PA nghịch đảo và kết quả là có khuếch đại tuyến tính ở đầu ra của PA.



Hình 1-8: Cơ sở của tuyến tính hóa bằng méo trước.

Hình 1-8 cho thấy các nguyên tắc cơ bản của bộ méo trước dạng vòng hở. Một số giải pháp đã được phát triển để hiện thực hóa bộ méo trước, từ xử lý số băng cơ sở, đến xử lý tín hiệu trực tiếp tại RF bằng cách sử dụng điốt làm thiết bị phi tuyến. Hơn nữa, hầu hết các giải pháp méo trước hiện tại đều đã đưa ra một số loại cơ chế phản hồi để cho phép méo thích ứng cho phép bộ tuyến tính hóa hoạt động mạnh mẽ hơn.

Tùy theo vị trí của bộ méo trước trong máy phát, việc méo trước có thể được thực hiện ở tần số vô tuyến (RF), tần số trung gian (IF) hoặc băng tần cơ sở (BB). Méo trước ở IF và BB có ưu điểm là độc lập với dải tần hoạt động vô tuyến, đồng thời chúng bền hơn trước các thông số môi trường. Ngoài ra, chi phí của ADC và DAC giảm lớn khi hoạt động ở tần số thấp. Một nhược điểm liên quan đến việc bù trước méo ở IF hoặc BB là yêu cầu về độ tuyến tính gia tăng do bộ chuyển đổi ADC, DAC có thể gây ra thêm méo. Tuy nhiên, có thể tránh các bộ đảo tần lên (DUC) hoạt động ở IF và sử dụng các kỹ thuật vô tuyến phần mềm, lấy mẫu IF. Một vấn đề quan trọng khác là hiện tượng méo phi tuyến trong vòng phản hồi (ví dụ do các bộ đảo tần xuống DDC) tạo ra khi triển khai méo thích ứng. Sự méo phi tuyến này không cần phải bù nhưng có thể giảm hiệu suất tuyến tính của vòng lặp mở và tạo ra các mức bù phi tuyến không mong muốn.



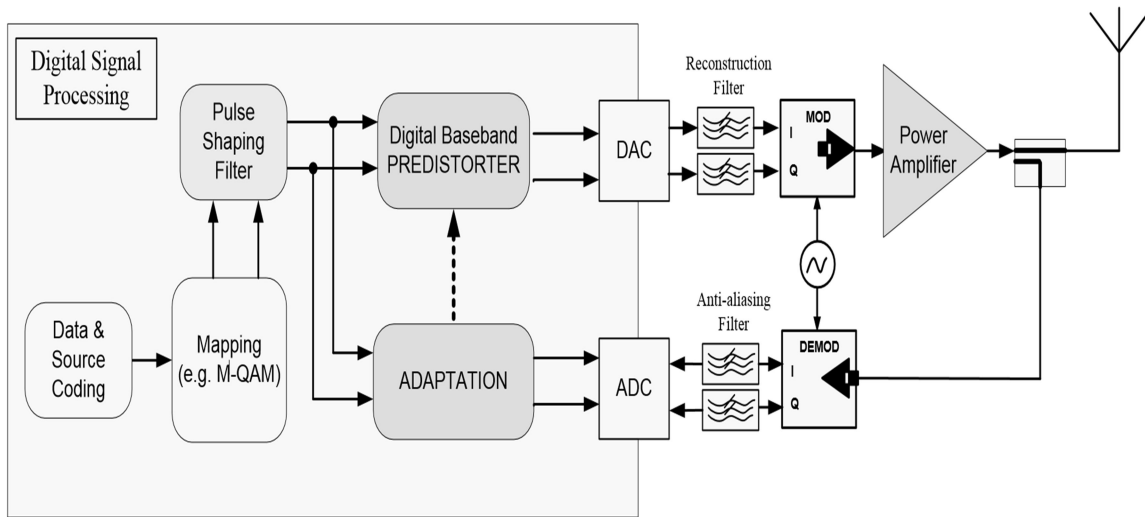
Hình 1-9: Sơ đồ khối của bộ méo trước RF

Một ví dụ về méo trước RF sử dụng các thiết bị tương tự như trong **Hình 1-9**. Bộ méo trước RF nhằm mục đích loại bỏ IMD bậc ba bằng cách thêm thành phần khối pha và biên độ được hiệu chỉnh chính xác theo tín hiệu đầu vào. Trong trường hợp hệ thống thông dải, chỉ có các thành phần IMD bậc ba thường được giảm. Khi cần cải thiện độ tuyến tính cao hơn, méo trước thường được kết hợp với kiến trúc truyền thẳng (không có phản hồi).

Hình 1-9 thể hiện sơ đồ khối của một bộ méo trước điển hình. Tín hiệu đầu vào được chia thành hai đường. Để đảm bảo sự kết hợp hoàn hảo trong quá trình tái hợp của cả hai tín hiệu phân tách, phần tử trễ thời gian được thêm vào ở đường trên. Đường phía dưới được hình thành bởi một phi tuyến khối thực hiện méo trước phi tuyến, bộ điều khiển khuếch đại (bộ suy giảm biến đổi) và pha (bộ dịch pha biến thiên) để đảm bảo phối hợp chính xác tại bộ kết hợp và cuối cùng là bộ khuếch đại sau méo dạng để đệm và khuếch đại tín hiệu nhận được. Bộ khuếch đại trong đường dẫn này được coi là một thiết bị tín hiệu nhỏ không góp phần gây ra méo phi tuyến tổng thể. Cuối cùng, tín hiệu bị méo trước ở đường dẫn phía dưới được trừ khỏi tín hiệu ở đường dẫn trên và đưa đến PA.

Tính phi tuyến trong bộ méo trước thường được tạo ra bằng cách sử dụng các đặc tính phi tuyến của điốt và bóng bán dẫn FET [9].

Mặt khác, méo trước số sử dụng các thiết bị xử lý số như bộ xử lý tín hiệu số (DSP) hoặc Mảng công lập trình trường (FPGA). **Hình 1-10** cho thấy sơ đồ khối đơn giản hóa của máy phát có chứa mô-đun méo trước số thích ứng tại dải BB. Hai cách tiếp cận chính có thể được tìm thấy trong méo trước số là méo trước tín hiệu và dữ liệu. Sự khác biệt chính giữa méo trước tín hiệu và dữ liệu là ở vị trí trong máy phát. Mô-đun méo trước dữ liệu được đặt trước bộ lọc định dạng xung, trong khi méo trước tín hiệu được thực hiện sau bộ lọc định dạng xung. Vì vậy, **Hình 1-10** đưa ra một ví dụ về méo trước tín hiệu.



Hình 1-10: Sơ đồ khối của máy phát có méo trước số.

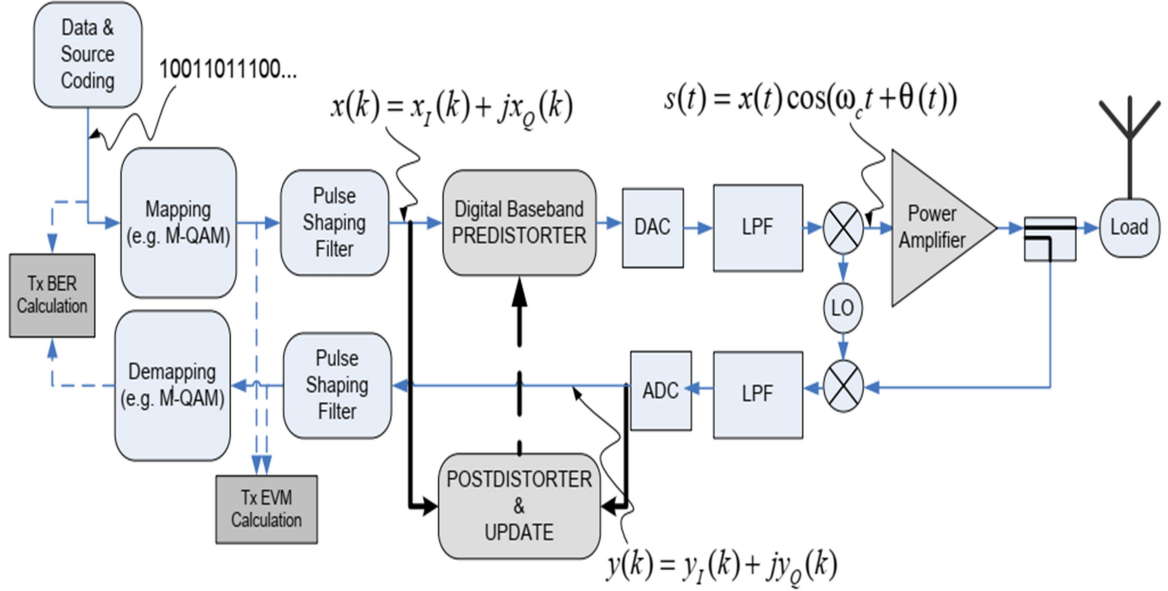
Méo trước dữ liệu số được tùy chỉnh phù hợp với các định dạng điều chế số cụ thể, do đó, chức năng méo trước dữ liệu nhằm mục đích bù trong không gian vectơ dữ liệu (chòm sao). Do đó, các hệ số bộ méo trước được tối ưu hóa bằng cách giảm thiểu EVM, nghĩa là bù lại độ méo trong dải do PA gây ra. Tuy nhiên, hiện tượng méo dạng dữ liệu số không bù được độ méo ngoài băng tần. Ngoài ra, méo trước dữ liệu không tương minh đối với tất cả các định dạng điều chế khác nhau, do đó, nó phù hợp với từng ứng dụng cụ thể nhưng không phù hợp theo quan điểm linh hoạt. Mặt khác, tính năng dự đoán méo trước số tín hiệu loại bỏ cả biến dạng trong dải và ngoài dải, miễn là mức bão hòa của PA ở mức cho phép. Hơn nữa, méo số tín hiệu hoàn toàn độc lập với loại PA, dải hoạt động, loại (A, AB, C), công nghệ chế tạo PA và quan trọng nhất là về mặt lý thuyết, DPD tín hiệu là độc lập với dạng điều chế.

1.3. Mô hình hành vi của bộ khuếch đại công suất cho méo trước tín hiệu số dải cơ sở

Các mô hình PA có thể được phân loại theo loại dữ liệu cần thiết để trích xuất đặc trưng trong các mô hình vật lý và thực nghiệm:

- Các mô hình vật lý đòi hỏi kiến thức về các phần tử điện tử bên trong PA, các mối quan hệ cấu thành của chúng và các quy tắc lý thuyết mô tả sự tương tác của chúng. Mô hình vật lý sử dụng một mô hình phi tuyến của thiết bị tích cực PA và các thành phần thụ động khác để tạo thành một tập hợp các phương trình phi tuyến liên quan đến điện áp và dòng điện đầu cuối. Mô tả mạch tương đương của PA bảo đảm phù hợp cho mô phỏng cấp mạch. Tuy nhiên, thời gian mô phỏng cao và nhu cầu mô tả chi tiết về cấu trúc bên trong PA là hoàn toàn không cần thiết cho mục đích tuyến tính hóa cấp hệ thống.

- Các mô hình thực nghiệm hoặc mô hình hành vi không cần có kiến thức tiên nghiệm về thành phần bên trong PA, vì lý do đó các PA được gọi là mô hình hộp đen. Việc trích xuất của mô hình PA dựa trên một tập hợp các quan sát đầu vào-đầu ra. Do đó độ chính xác của chúng rất nhạy cảm với cấu trúc mô hình được áp dụng và thủ tục trích xuất các tham số.



Hình 1-11: Sơ đồ khối máy phát có DPD

PA (hoặc hộp đen) ở cấp hệ thống là các hệ thống một đầu vào một đầu ra (SISO). Việc trích xuất mô hình hành vi PA cho mục đích tuyến tính hóa DPD được thực hiện bằng phương pháp quan sát tín hiệu đường bao phức đầu vào và đầu ra. **Hình 1-11** biểu diễn sơ đồ khối máy phát đơn giản có tuyến tính hóa méo trước số dải cơ sở. Chúng ta có thể quan sát các loại tín hiệu khác nhau (bằng thông dải, bằng cơ sở, dạng analog, dạng số) có sau một số khối trong máy phát. Điều chế thông dải có thể được định nghĩa là quá trình trong đó biên độ, tần số hoặc pha của sóng mang RF thay đổi theo thông tin cần được phát đi. Tín hiệu thông dải được điều chế biên độ và pha có thể được mô tả như sau:

$$s(t) = A(t)\cos(\omega_c t + \theta(t)) \quad (1.15)$$

trong đó $\omega_c = 2\pi f_c$ là tần số sóng mang góc, $A(t)$ và $\theta(t)$ lần lượt là biên độ và pha thay đổi theo thời gian. Tín hiệu thông dải này cũng có thể được biểu diễn ở dạng cực như sau:

$$s(t) = \text{Re}\{x(t)e^{j\omega_c t}\} \quad (1.16)$$

với $x(t)$ là đường bao phức được định nghĩa

$$\begin{aligned} x(t) &= A(t)e^{j\theta(t)} = A(t)\cos(\theta(t)) + jA(t)\sin(\theta(t)) \\ &= x_I(t) + jx_Q(t) \end{aligned} \quad (1.17)$$

trong đó $x_I(t)$ và $x_Q(t)$ lần lượt là các thành phần cùng pha (I) và cầu phương (Q) của đường bao phức. Sử dụng các đặc tính lượng giác, tín hiệu thông dải cũng có thể được biểu diễn bằng các thành phần:

$$s(t) = \text{Re}\{x(t)e^{j\omega_c t}\} = x_I(t)\cos(\omega_c t) - x_Q(t)\sin(\omega_c t) \quad (1.18)$$

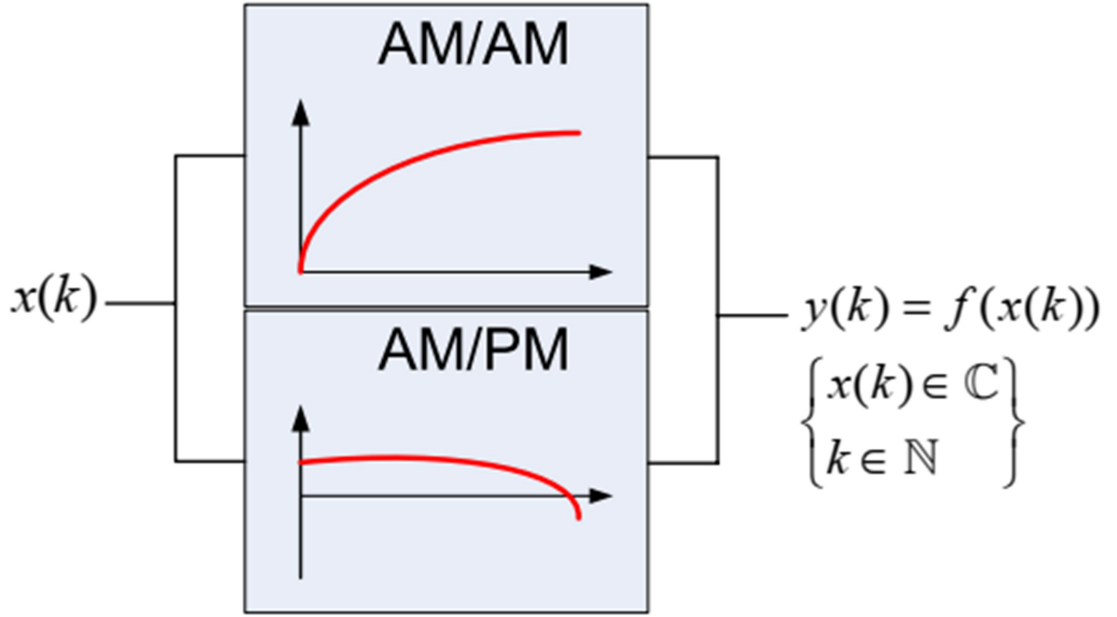
Vì thế, có thể xem đường bao phức $x(t)$ là tín hiệu băng cơ sở được mô tả qua một chuỗi liên tiếp của các xung lý tưởng $x_I(t)$ và $x_Q(t)$ xuất hiện tại các thời điểm riêng biệt ($k = 1, 2, 3, \dots$) trong môi trường băng cơ sở số, từ (1.17) có thể biểu diễn đường bao phức ở dạng rời rạc như sau,

$$x(t)\Big|_{t=kT_s} = x_I(kT_s) + jx_Q(kT_s) = x_I(k) + jx_Q(k) \quad (1.19)$$

Vì vậy, để trích xuất các mô hình hành vi PA cho thiết kế bộ méo trước số ở băng cơ sở, cần phải có các tín hiệu đường bao phức rời rạc đầu vào ($x(k)$) và đầu ra ($y(k)$) như sơ đồ trong **Hình 1-11**. Mặc dù luận văn không tập trung vào các mô hình hành vi PA. Tuy nhiên, do hiệu suất bù méo phi tuyến méo trước số phụ thuộc vào độ chính xác của các mô hình tái tạo các hiệu ứng nhớ và độ phi tuyến PA, nên một số mô hình PA quan trọng nhất để triển khai méo trước số được trình bày trong [10] và được tóm lược dưới đây.

1.3.1. Các mô hình hành vi bộ khuếch đại không nhớ

Trong các mô hình không có nhớ, tín hiệu đầu ra được coi là hàm phi tuyến chỉ của tín hiệu đầu vào tức thời. Tần số đường bao của tín hiệu đầu vào nhỏ hơn nhiều so với băng thông đường bao của bộ khuếch đại. Do đó, lượng méo biên độ và pha chỉ phụ thuộc vào mức tín hiệu đầu vào tức thời tương ứng. Hai mô hình điển hình thuộc lớp này là mô hình Saleh và mô hình đa thức không nhớ



Hình 1-12: Mô hình hành vi PA không có nhớ

Mô hình Saleh

Saleh đề xuất hai hàm chung để ước tính các đặc tính đường bao AM/AM và AM/PM, ban đầu được áp dụng cho các mẫu bộ khuếch đại ống sóng chạy (TWT - traveling wave tube), và sau này cũng được sử dụng để mô tả đặc điểm của các bộ khuếch đại công suất trạng thái rắn (SSPA - solid state PA). Biểu diễn đặc trưng AM/AM và AM/PM:

$$f_A(|x(k)|) = \frac{\alpha_A |x(k)|}{1 + \beta_A |x(k)|^2} \quad (1.20)$$

$$f_\phi(|x(k)|) = \frac{\alpha_\phi |x(k)|^2}{1 + \beta_\phi |x(k)|^2} \quad (1.21)$$

trong đó α_A , β_A , α_ϕ , β_ϕ là các tham số không đổi được chọn để gần đúng với các đặc tính PA thực.

Mô hình đa thức không nhớ

Cùng với các mô hình của Saleh, mô hình đa thức không bộ nhớ là một trong những mô hình được biết đến và sử dụng nhiều nhất để mô tả hành vi tính phi tuyến PA. Dạng tổng quát của xấp xỉ chuỗi lũy thừa bậc p có thể được biểu diễn bằng:

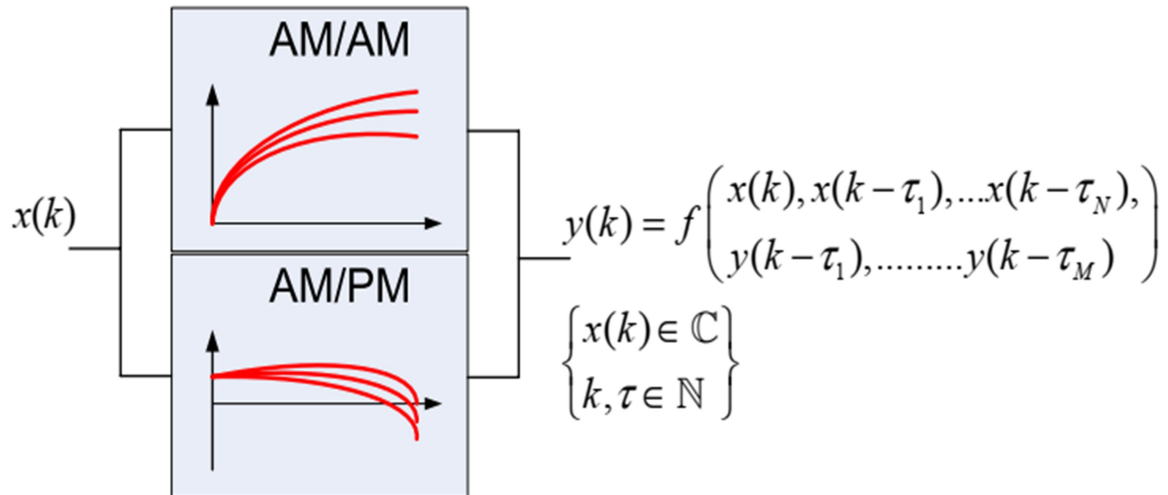
$$y(k) = \sum_{p=0}^P \gamma_p x(k) |x(k)|^p \quad (1.22)$$

trong đó $x(k)$ và $y(k)$ là đường bao phức đầu vào và đầu ra PA tại mẫu k , P là bậc của hàm đa thức và các hệ số phức γ_p phải được xác định để mô tả hành vi PA không có nhớ phi tuyến.

1.3.2. Các mô hình hành vi bộ khuếch đại có hiệu ứng nhớ

Như chúng ta đã phân tích ở trên, độ lợi trong bộ khuếch đại công suất RF có hiệu ứng nhớ không chỉ là hàm của biên độ tín hiệu đầu vào tại cùng thời điểm mà còn phụ thuộc vào các mẫu trước đó của tín hiệu đầu vào-đầu ra. Các tín hiệu đường bao tốc độ cao (có băng thông đáng kể) khiến hiệu suất hệ thống suy giảm do ảnh hưởng của nhớ.

Để phát triển các mô hình bộ khuếch đại có các hiệu ứng nhớ, bộ khuếch đại phải được mô tả bằng hệ thống đo động. Các mô hình phi tuyến động phổ biến nhất được xem xét trong tài liệu để mô tả hành vi PA là mạng nơ-ron (NN), chuỗi Volterra và các phiên bản đơn giản hóa chuỗi Volterra.



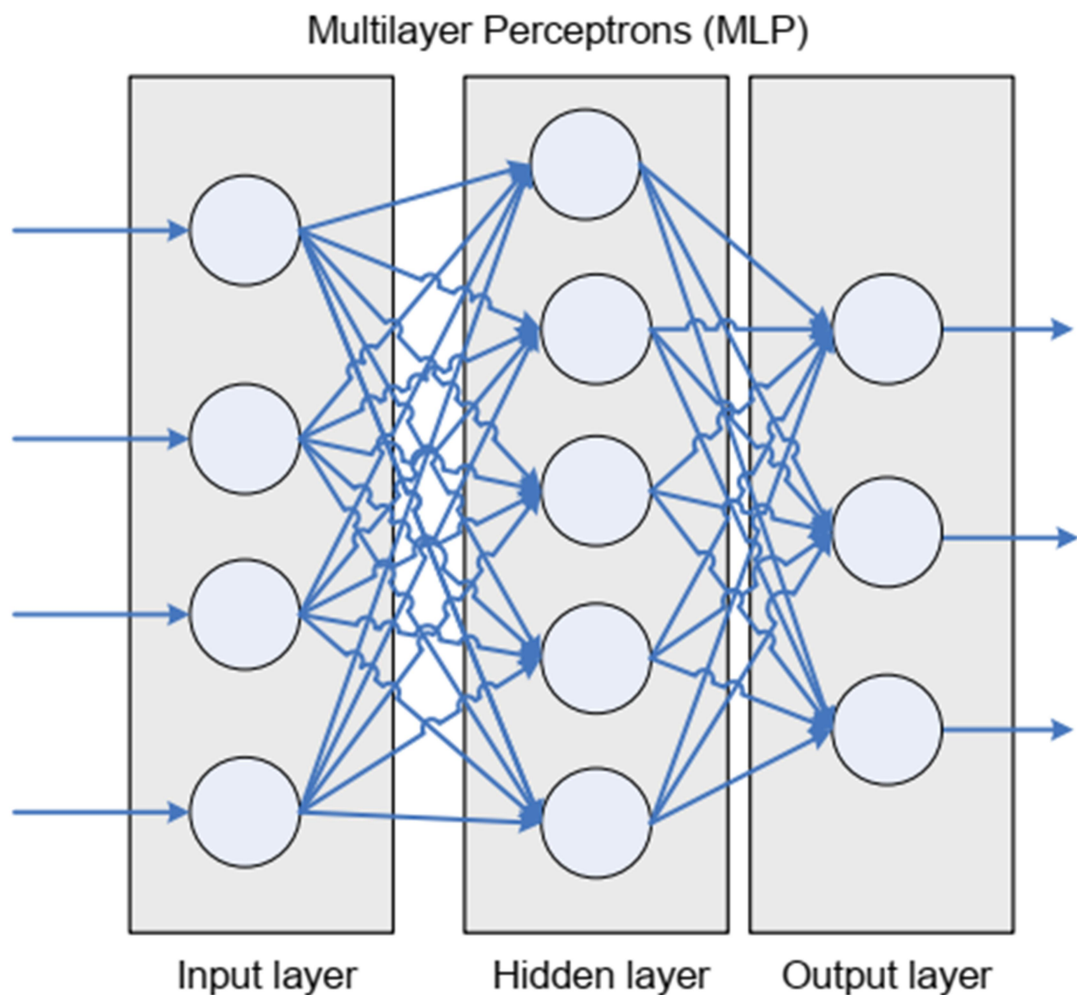
Hình 1-13: Mô hình hành vi PA có nhớ

Mô hình nơ-ron nhân tạo: Mạng nơ-ron trễ thời gian

Mạng thần kinh nhân tạo (ANN) là một hệ thống bao gồm một số lượng lớn các phần tử cơ bản được sắp xếp thành các lớp và có tính liên kết cao với nhau. Nói chung, cấu trúc được hình thành bởi một số đầu vào và đầu ra, có thể được huấn luyện để phản ứng với kích thích đầu vào theo một cách mong muốn cụ thể.

Perceptron nhiều lớp (MLP) là một trong những cấu trúc phổ biến nhất của mô hình ANN. Chúng tuân theo một lớp chung của cấu trúc ANN lan truyền thẳng, vì luồng dữ liệu đi từ đầu vào đến đầu ra mà không có phản hồi. Chúng có khả năng tạo ra xấp xỉ tổng quát của bất kỳ hàm nào. Mô hình MLP bao gồm một số lượng hữu hạn các đơn vị được gọi là nơron hoặc perceptron, trong

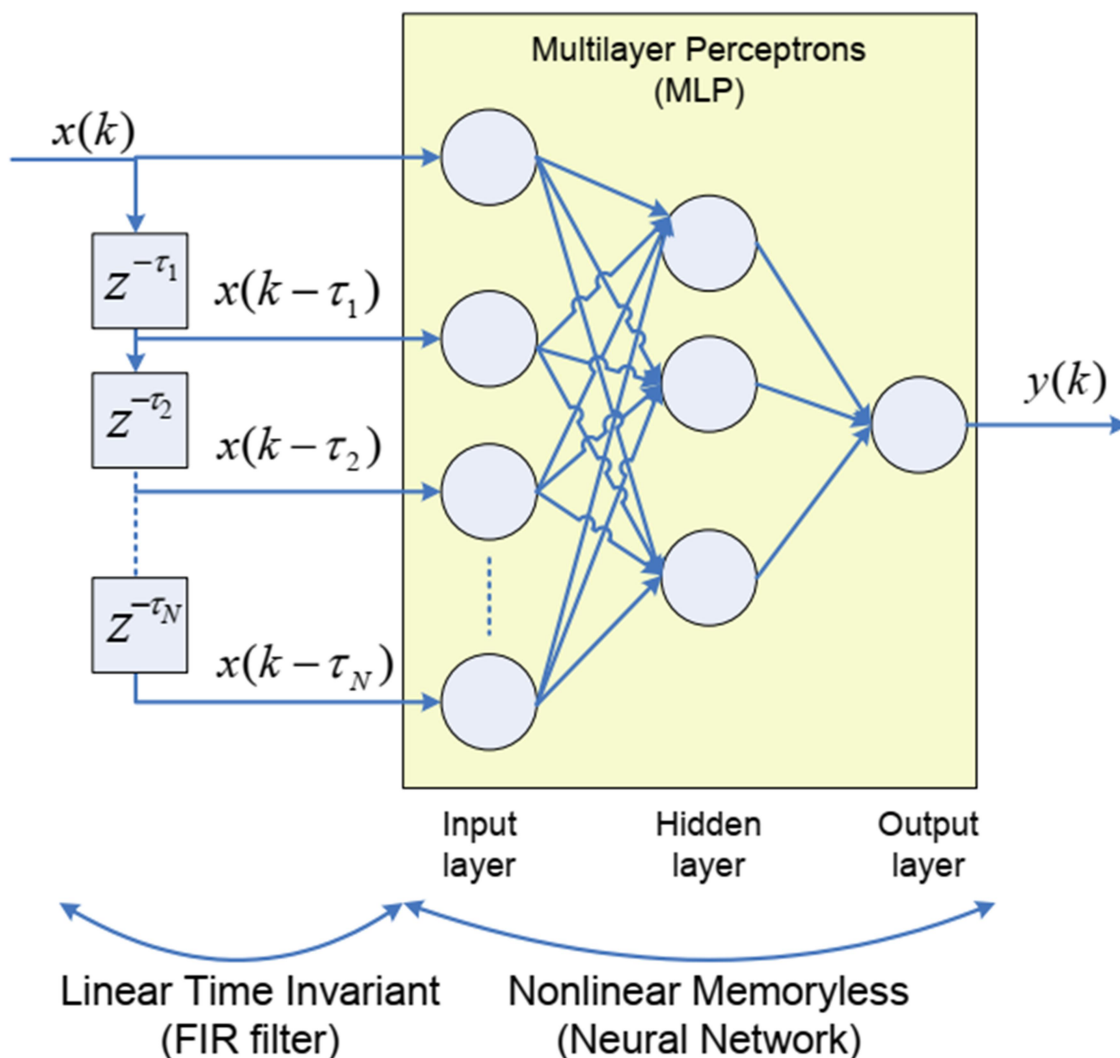
đó mỗi đơn vị của mỗi lớp được kết nối với từng đơn vị của lớp tiếp theo/trước đó. Các kết nối này được gọi là liên kết hoặc khớp thần kinh và chúng chỉ tồn tại giữa các nơ-ron ở các lớp tiếp theo nhưng các kết nối giữa các nơ-ron trong một lớp không tồn tại và cũng không có bất kỳ kết nối trực tiếp nào giữa các lớp. Như mô tả trong **Hình 1-14**, lớp đầu tiên được gọi là lớp đầu vào, theo sau là các nhóm nơ-ron trung gian gọi là lớp ẩn và kết quả của mạng thu được ở lớp đầu ra. Số lượng tế bào thần kinh trong lớp ẩn thường được xác định bằng phương pháp thử và sai, để tìm ra sự cân bằng mang lại mạng đơn giản nhất với hiệu suất chấp nhận được. Vì số lượng đầu vào và đầu ra là cố định (tương ứng là các biến độc lập và phụ thuộc của bài toán), nên số lượng nơ-ron ẩn xác định số lượng trọng số phải được tối ưu hóa trong quá trình huấn luyện để đạt được xấp xỉ hàm tốt nhất.



Hình 1-14: Mạng nơ-ron perceptron nhiều lớp (MLP).

Mạng nơ-ron hầu như chỉ được áp dụng để mô hình hóa các hàm tĩnh của các biến đầu vào. Ứng dụng chúng vào hệ thống động là một lĩnh vực nghiên cứu khá mới. Gần đây đã xuất hiện các mô hình có tính đến hiện tượng động, ví dụ như mô hình bộ khuếch đại công suất (PA) [11] đề xuất sử dụng một loại mô

hình MLP đặc biệt, mạng thần kinh bị trễ thời gian (TDNN). TDNN dựa trên MLP NN truyền thẳng với việc bổ sung các đường trễ để tạo ra các mẫu bị trễ cho các biến đầu vào. Chúng được sử dụng để thêm lịch sử của các tín hiệu đầu vào vào mô hình là cần thiết cho mô hình hóa hiệu ứng nhớ như thể hiện trong **Hình 1-15**.



Hình 1-15: Mạng nơ ron có trễ thời gian (TDNN).

Cấu trúc TDNN bao gồm hai phần, đó là hệ thống bất biến thời gian tuyến tính (LTI) và hệ thống không nhớ phi tuyến tính (MLP). LTI cung cấp cho TDNN khả năng thực hiện ánh xạ động phụ thuộc vào các giá trị đầu vào trong quá khứ, làm cho chúng phù hợp với dự đoán chuỗi thời gian, nhận dạng hệ thống phi tuyến tính và các ứng dụng xử lý tín hiệu. Trong trường hợp này, loại phổ biến nhất là mạng nơ-ron đáp ứng xung hữu hạn (FIR) có được bằng cách thay thế đầu vào bằng bộ lọc FIR. Độ sâu bộ nhớ của phần tử hoặc hệ thống được phân tích được phản ánh trên độ dài của các khâu lọc. Cách áp dụng để thiết lập bộ nhớ hệ thống cũng được áp dụng tương tự cho thiết kế bộ lọc số, trong đó số khâu đầu vào được áp đặt bởi độ chính xác của băng thông cần thiết.

Mô hình này được hình thành bởi NN chuyển tiếp ba lớp, bao gồm lớp đầu vào, lớp ẩn và lớp đầu ra. Từ cấu trúc liên kết của TDNN, có thể thấy rất rõ rằng các đường trễ thời gian được sử dụng để xem xét lịch sử của tín hiệu đầu vào, điều này cần thiết cho các hệ thống mô hình hóa có nhớ. Do đó, cấu trúc TDNN có thể được xem là trường hợp đặc biệt của mô hình Wiener, tương tự như bộ lọc FIR theo sau là hàm phi tuyến tính không bộ nhớ. Hơn nữa, cấu trúc chung của ANN một lớp ẩn để mô hình hóa PA phi tuyến động được trình bày trong [12] thể hiện nhiều tiềm năng, tuy nhiên, việc hiện thực hóa mô hình cho đến nay vẫn còn nhiều thách thức do độ phức tạp tính toán cao.

So sánh cách tiếp cận NN với cách tiếp cận đa thức, trái ngược với các đặc tính gần đúng cục bộ vốn có của đa thức, NN có thể hoạt động như các phép tính gần đúng toàn cục: một lợi thế tiềm năng khi mô hình hóa các hệ thống phi tuyến mạnh. Ngoài ra, về nguyên tắc, NN hoạt động tốt hơn các mô hình cổ điển trong việc ngoại suy ngoài vùng PA khai thác để trích xuất tham số.

Mô hình chuỗi Volterra

Nhà toán học người Ý Vito Volterra là người đầu tiên nghiên cứu chuỗi hàm, được coi là phần mở rộng của chuỗi mở rộng Taylor. Hạt nhân Volterra là bộ mô tả đáng tin cậy về chức năng của hệ thống, bao gồm một số lượng lớn các trạng thái hệ thống có thể có. Vì vậy, chúng có thể được coi là mô hình hóa các hệ thống phi tuyến có nhớ như PA. Do đó, coi $x(k)$ và $y(k)$ là mối quan hệ đầu vào-đầu ra đường bao phức trong PA, chuỗi Volterra phức thời gian rời rạc có thể được biểu diễn dưới dạng

$$\begin{aligned}
 y(k) = & \sum_{i=0}^{M_1-1} h_1(i) x(k-i) + \\
 & + \sum_{m=0}^{M_3-1} \sum_{n=0}^{M_3-1} \sum_{p=0}^{M_3-1} h_3(m, n, p) x(k-m) x(k-n) x^*(k-p) + \\
 & \dots\dots\dots \\
 & + \sum_{m=0}^{M_Q-1} \sum_{n=0}^{M_Q-1} \dots \sum_{q=0}^{M_Q-1} h_Q(m, n, \dots, p) x(k-m) x(k-n) \dots x^*(k-q)
 \end{aligned} \tag{1.23}$$

Trong đó $h_1, h_3, \dots, h_Q$ là các nhân Volterra tương đương thông thấp, k biểu thị thời gian rời rạc và $M_1, M_3, \dots, M_Q$ là lượng trễ được xem xét trong mỗi hạt nhân tương ứng.

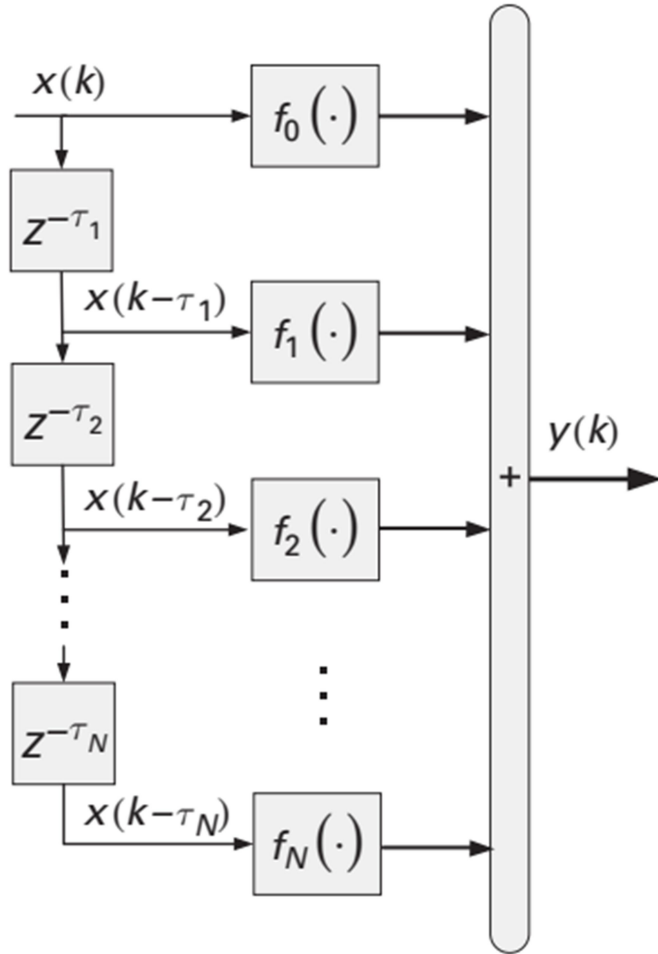
Số lượng tham số trong chuỗi Volterra tăng theo cấp số nhân khi xem xét trích xuất hạt nhân bậc cao, điều này làm tăng thêm độ phức tạp tính toán không cần thiết khi xem xét chúng cho mục đích nhận dạng và tuyến tính hóa. Số hệ số

(n_c) mà chúng ta phải xác định khi xét chuỗi Volterra thời gian rời rạc được mô tả bằng phương trình sau:

$$n_c = \sum_{i=1}^{\frac{N_k+1}{2}} D^{2i-1} \quad (M_1 = M_3 = M_5 = \dots = M_{N_k} = D) \quad (1.24)$$

với N_k là hạt nhân bậc cao nhất được xem xét (vì mục đích đơn giản, chỉ các hạt nhân lẻ được xem xét) và giả sử cùng độ sâu bộ nhớ cho mỗi hạt nhân ($M_1 = M_3 = \dots = M_{N_k} = D$).

Mô hình đa thức nhớ



Hình 1-16: Sơ đồ khối của đa thức nhớ cho mô hình phi tuyến tính động

Đa thức bộ nhớ (MP) là một trong những mô hình đơn giản nhất có tính đến hành vi phi tuyến động của PA và đã được sử dụng cho các ứng dụng méo trước số [13]. Sơ đồ khối của mô hình MP được mô tả trong **Hình 1-16**. Mỗi quan hệ đầu vào-đầu ra của mô hình MP có thể được biểu diễn dưới dạng

$$y_{MP}(k) = \sum_{n=0}^N f_n(x(k - \tau_n)) \quad (1.25)$$

Trong đó hàm phi tuyến $f_n(\cdot)$ là một hàm đa thức và τ là độ trễ phù hợp nhất để mô tả mô hình PA.

$$f_n(x(k - \tau_n)) = \sum_{p=0}^P \alpha_{pn} x(k - \tau_n) |x(k - \tau_n)|^p \quad (1.26)$$

1.4. Kết luận chương I

Trong chương này, luận văn đã chỉ ra sự biến dạng phi tuyến là một vấn đề cố hữu của thiết bị hoạt động PA. Ngoài ra, các kỹ thuật điều chế đa sóng mang và đa mức có PAPR cao. Điều này minh chứng rằng để có được khả năng khuếch đại tuyến tính và do đó tuân thủ các yêu cầu về tiêu chuẩn truyền thông, cần có mức độ lồi điểm làm việc khỏi điểm bão hòa là đáng kể. Các kỹ thuật điều chế hiệu quả phổ này cũng rất nhạy cảm với hiện tượng méo điều chế do sự phi tuyến trong chuỗi máy phát RF. Việc sử dụng PA tuyến tính cao (loại A) hoạt động lồi điểm làm việc lại sẽ ảnh hưởng đến hiệu suất sử dụng điện, điều này lại rất quan trọng đối với các thiết bị mang xách. Do đó, việc sử dụng các kỹ thuật tuyến tính hóa để giải quyết sự cân bằng giữa tuyến tính và hiệu suất tiêu thụ điện năng là một giải pháp được công nhận.

Méo trước tương tự là một giải pháp đơn giản hơn so với méo trước số (không cần DSP) có thể xử lý băng thông cao mặc dù cung cấp khả năng triệt tiêu IMD ở mức vừa phải. Tuy nhiên, méo trước số có thể đạt được khả năng hiệu chỉnh tốt hơn và có thể mang tính thích ứng cho phép hiệu chỉnh các sự mất cân bằng không mong muốn có thể xảy ra. Hơn nữa, DSP hiện có mặt trong hầu hết các máy phát, nên việc cho phép các thuật toán méo trước số hiệu quả là một lĩnh vực nghiên cứu thú vị, có tầm quan trọng đáng kể trong hiệu suất khử IMD khi PA có hiệu ứng bộ nhớ.

CHƯƠNG 2: MÉO TRƯỚC SỐ TÍN HIỆU DẢI CƠ SỞ DỰA TRÊN BẢNG TRA

Chương 2 bắt đầu với việc xác định vấn đề liên quan đến méo tín hiệu trong dải cơ sở và cách sử dụng bảng tra cứu để giải quyết. Sau đó tiếp tục với tổ chức bảng tra cứu trong thiết kế, bao gồm sơ đồ DPD dựa trên LUT, kích thước LUT và độ dài từ tín hiệu lượng tử, cũng như khoảng cách giữa các phần tử trong LUT.

Tiếp theo, chương trình bày các phương pháp nhận dạng méo phi tuyến, bao gồm học gián tiếp với các phương pháp méo sau và dịch, và phương pháp méo trước dự đoán. Cuối cùng, chương mô tả cách cập nhật bảng tra cứu để điều chỉnh trong quá trình thích ứng.

2.1. Đặt vấn đề

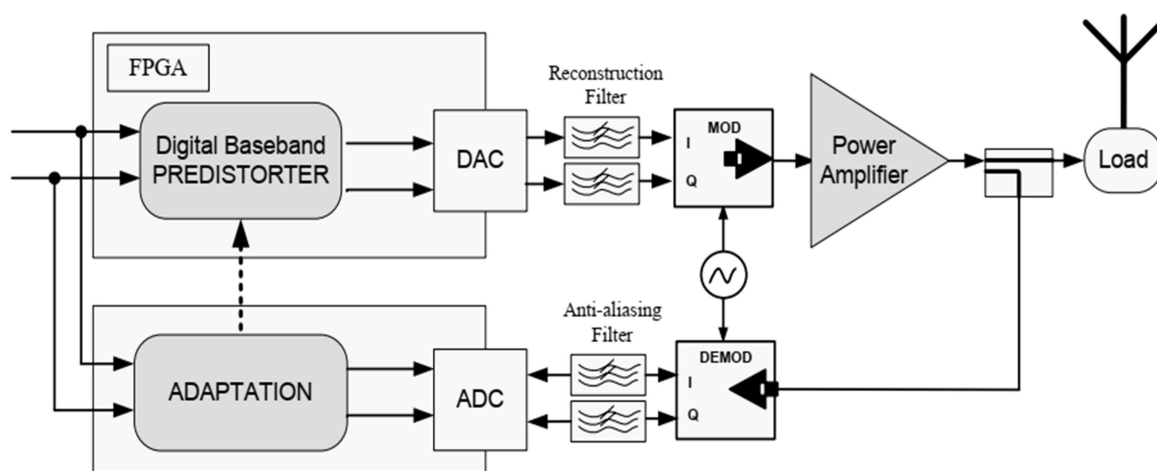
Kỹ thuật tuyến tính hóa méo trước số bằng cơ sở độc lập với dải tần hoạt động vô tuyến và tránh sự phức tạp của phần cứng RF mỗi khi thay đổi tần số hoạt động. Điều này làm cho bộ tuyến tính hóa DPD trở nên linh hoạt hơn và đây cũng là một lĩnh vực nghiên cứu rộng lớn nhằm tối ưu hóa kiến trúc và thuật toán DSP. Tuy nhiên, hiệu suất bù méo phi tuyến của DPD có thể bị suy giảm nghiêm trọng do tính nhạy cảm của nó với các hiệu ứng nhớ trong bộ khuếch đại công suất RF. Kỹ thuật DPD nhằm mục đích bù hiệu ứng nhớ và nghịch đảo đặc tuyến của PA. Do đó, khi thiết kế các bộ DPD thích ứng bằng cơ sở, cần phải tính đến ít nhất ba vấn đề chính:

- Nhu cầu về các mô hình hành vi PA chính xác.
- Thủ tục đảo ngược thích ứng hiệu quả mô hình PA.
- Triển khai hiệu quả chức năng DPD trong thiết bị xử lý tín hiệu số (DSP hoặc FPGA).

Tuyến tính hóa PA cho phép sử dụng PA hiệu quả hơn bất kể méo phi tuyến do PA tạo ra nhờ vào khả năng bù lại méo phi tuyến này. Hơn nữa, các tiêu chuẩn truyền thông hiện đại sử dụng tín hiệu đường bao tốc độ cao có băng thông đáng kể nên hiệu ứng bộ nhớ phải được tính đến. Trong số các bộ tuyến tính hóa PA, méo trước số DPD tận dụng các thiết bị xử lý tín hiệu số hiện có trong máy phát, do đó giảm các vấn đề điều chỉnh phần cứng RF. Ngoài ra, DPD là một kỹ thuật tuyến tính hóa linh hoạt tận dụng các giải pháp vô tuyến được xác định bằng phần mềm (SDR), cho phép cấu hình lại và độc lập hơn với giao diện người dùng RF cụ thể. Tuy nhiên, DPD khá nhạy cảm với các hiệu ứng nhớ, đây có thể là một nhược điểm khi cố gắng loại bỏ méo trong dải, hiệu suất tuyến

tính hóa bị giảm. Do đó, các mô hình hành vi PA và DPD có khả năng tái tạo các hiệu ứng nhớ và hành vi phi tuyến cần quan tâm lớn để đạt được hiệu quả cao cho DPD.

Chương này của luận văn tập trung nghiên cứu xây dựng bảng tra LUT và tổ chức tập các LUT để thực hiện DPD thích ứng. Cấu trúc thiết kế này nhúng cả phần tuyến tính và phi tuyến, do đó tránh được sự phân rã tuyến tính – phi tuyến theo tầng như trong các mô hình Hammerstein hoặc Wiener. **Hình 2-1** trình bày bằng sơ đồ khối chung của DPD thích ứng bằng cơ sở được thực hiện trong FPGA bằng một tập các LUT. Quá trình thích ứng bao gồm tính toán định kỳ các giá trị độ lợi mới để cập nhật nội dung LUT trong FPGA. Quá trình thích ứng này có thể được thực hiện bởi một thiết bị xử lý số bên ngoài như chip DSP hoặc máy tính cá nhân (PC); hoặc cách khác, tận dụng các đặc tính xử lý song song của thiết bị FPGA, có thể được thực hiện trong cùng một FPGA bằng các thuật toán đơn giản cho phép thích ứng theo thời gian thực.



Hình 2-1: Sơ đồ khối mức cao của máy phát có DPD bằng tần cơ sở.

2.2. Tổ chức bảng tra cứu trong thiết kế

Chương này của luận văn tập trung nghiên cứu xây dựng bảng tra LUT và tổ chức tập các LUT để thực hiện DPD thích ứng. Cấu trúc thiết kế này nhúng cả phần tuyến tính và phi tuyến, do đó tránh được sự phân rã tuyến tính – phi tuyến theo tầng như

Các giải pháp DPD phải thực hiện chức năng méo trước, thường dựa trên một mô hình hành vi PA cụ thể, trong bộ xử lý tín hiệu số. Một cách hiệu quả để triển khai chức năng dự đoán méo mà không tốn nhiều chi phí tính toán là sử dụng bảng tra cứu LUT. Để ánh xạ chức năng dự đoán méo vào LUT, một số yêu cầu liên quan đến tổ chức LUT phải được tính đến đó là:

- Kiến trúc LUT (LUT một chiều hoặc hai chiều) để xử lý đường bao của tín hiệu phức rời rạc
- Kích thước tối ưu LUT (đánh đổi giữa độ chính xác và kích thước bộ nhớ)
- Lập chỉ mục LUT và khoảng cách giữa các mục trong LUT

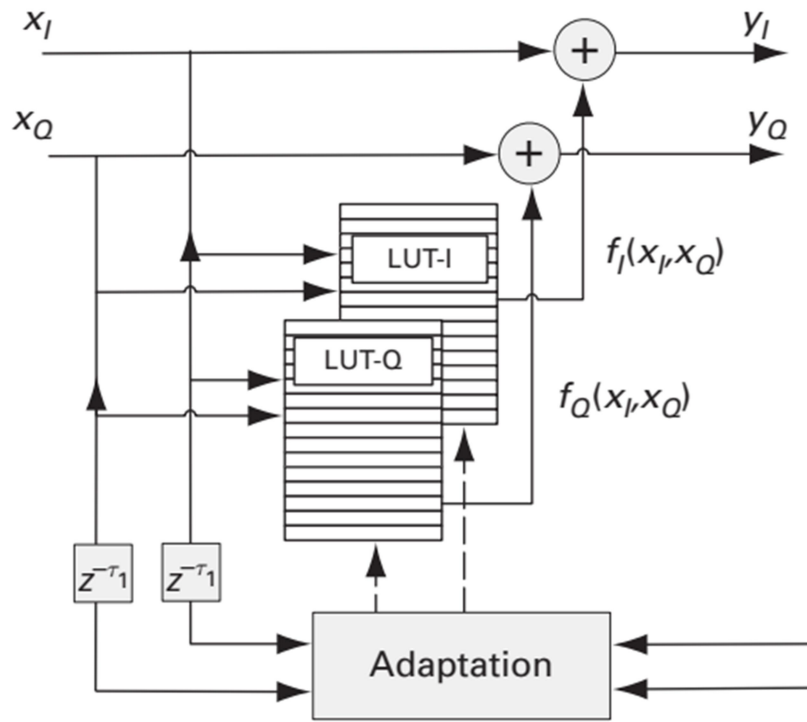
Một vấn đề khác cần phải được tính đến mặc dù đây không phải là vấn đề riêng liên quan đến tổ chức LUT, đó là sự phức tạp của thuật toán thích ứng, vì nó liên quan chặt chẽ đến tần suất cập nhật LUT.

2.2.1. Sơ đồ DPD dựa trên LUT

Méo trước số DPD dải cơ sở xử lý đường bao phức của tín hiệu RF đầu vào và đầu ra PA. Do đó, kiến trúc LUT phụ thuộc vào cách xử lý đường bao phức này. Các bộ DPD dựa trên LUT có thể được phân loại theo cách tiếp cận LUT [14]:

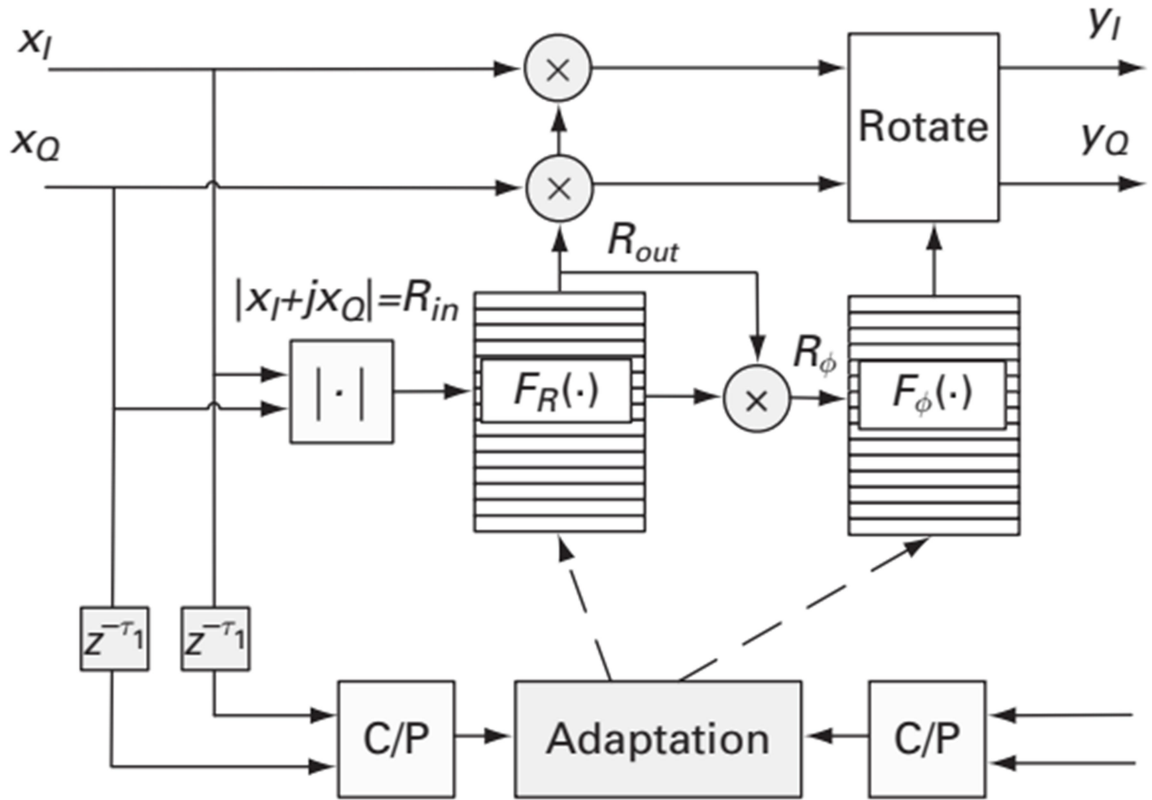
- Ánh xạ DPD (sử dụng LUT 2 chiều)
- DPD hệ cực (sử dụng LUT 1 chiều)
- DPD dựa trên độ lợi khuếch đại phức (sử dụng LUT 1 chiều)

Trong cách tiếp cận ánh xạ DPD, tín hiệu đầu vào phức được biểu thị bằng các thành phần cùng pha (x_I) và pha cầu phương (x_Q). Bằng cách sử dụng LUT hai chiều, cả hai thành phần đầu vào đều được ánh xạ tới một chòm sao mới gồm các thành phần: $y_I = x_I + f_I(x_I, x_Q)$ và $y_Q = x_Q + f_Q(x_I, x_Q)$. **Hình 2-2** mô tả sơ đồ khối kiến trúc ánh xạ DPD [14]. Hạn chế lớn nhất của ánh xạ DPD là kích thước của LUT hai chiều, dẫn đến thời gian thích ứng lâu.



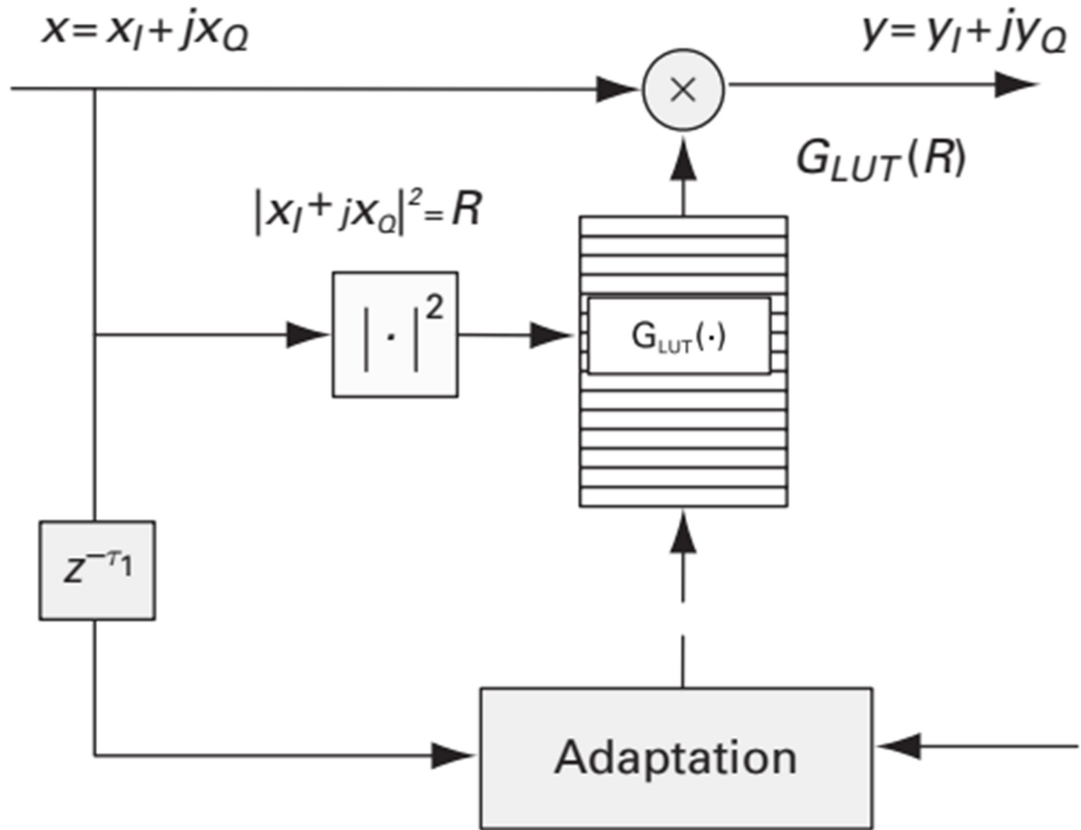
Hình 2-2: Sơ đồ DPD dựa trên LUT

DPD hệ cực sử dụng hai LUT một chiều tương ứng chứa mức tăng biên độ và góc xoay pha. Nguyên tắc này được minh họa trong **Hình 2-3**. Biên độ tín hiệu đầu vào R_{in} được sử dụng để trở đến địa chỉ của LUT chứa hệ số tăng biên độ $R_{out} = F_R(R_{in})$. Sau đó, hệ số này được sử dụng để nhân biên độ tín hiệu đầu vào ban đầu (hiệu chỉnh biên độ). Hơn nữa, hệ số khuếch đại này cũng được sử dụng để nhân biên độ đầu vào và sau đó xử lý bảng thứ hai chứa pha méo $\Phi_{out} = F_\Phi(R_\Phi)$. Pha này được sử dụng để xoay tín hiệu đã bị méo trước đó về biên độ (hiệu chỉnh pha). Cả hai bảng đều là một chiều, do đó thời gian truy cập và yêu cầu về bộ nhớ sẽ giảm so với bộ méo trước ánh xạ.



Hình 2-3: DPD hệ cực

DPD độ lợi phức [15] có LUT chứa các hệ số khuếch đại có giá trị phức được đưa ra ở dạng cầu phương (**Hình 2-4**). Bộ méo trước mức tăng phức sử dụng công suất của tín hiệu đầu vào ($R = |x|^2$) để chỉ ra một LUT duy nhất chứa mức tăng phức $G_{LUT}(R)$ của hàm DPD. Mức tăng phức $G_{LUT}(R)$ thu được từ địa chỉ LUT được sử dụng để làm méo tín hiệu đầu vào x bằng cách tính toán tích phức $y = xG_{LUT}(R)$. Chỉ với một bảng một chiều, bộ méo trước khuếch đại phức giúp giảm độ phức tạp và thời gian thích ứng so với DPD ánh xạ.



Hình 2-4: DPD độ lợi phức

2.2.2. Kích thước LUT và độ dài từ tín hiệu lượng tử

Phương pháp DPD dựa trên 2D LUT xây dựng một bảng LUT được lập chỉ mục bởi đầu vào thành phần I và Q và lưu trữ đầu ra DPD. Nhược điểm của bảng 2D là yêu cầu bộ nhớ lớn và trong các hệ thống thích ứng, cần có số lượng lớn mẫu trước khi bảng đầy. Ưu điểm của bảng 2D là không cần chuyển đổi từ dạng cực sang cầu phương hoặc cầu phương sang cực. Các phương pháp DPD sử dụng hai bảng 1-D LUT điều chỉnh biên độ và méo pha. Một nhược điểm của 1-D LUT là yêu cầu chuyển đổi giữa biểu diễn Đề-các và biểu diễn cực. Một nhược điểm khác là chỉ có thể hiệu chỉnh các phi tuyến bất biến pha.

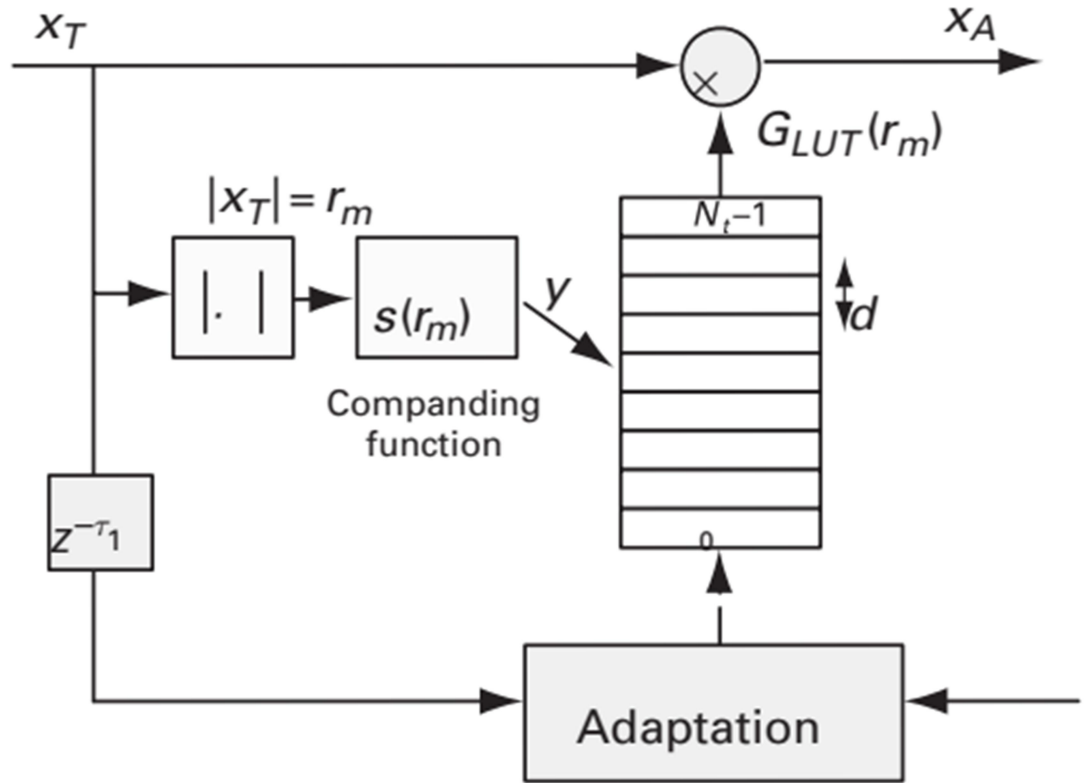
Nếu số bit được sử dụng để lượng tử hóa tín hiệu được biểu thị bằng n bit thì:

- bộ nhớ bảng hai chiều đầy đủ yêu cầu $(2n)^2$, trong khi
- bảng một chiều yêu cầu hai bảng có giá trị $2n$.

Kích thước bảng có mối quan hệ nghịch đảo với nhiều kênh lân cận. Cứ tăng gấp đôi kích thước bảng sẽ làm giảm ACPR đến một giới hạn 6 dB, sau đó việc tăng kích thước bảng không còn làm giảm nhiều kênh lân cận và thực sự có thể làm giảm hiệu suất [16]. Hơn nữa, trong các hệ thống thích ứng, kích thước LUT có mối quan hệ ngược với tốc độ hội tụ của sự thích ứng, do đó nên giữ LUT càng nhỏ càng tốt.

Độ dài từ tín hiệu của các tham số được lưu trong bộ nhớ có liên quan đến mức tạp và độ chính xác của toàn hệ thống. Vì mong muốn giảm nhiễu kênh lân cận nên nhiễu chiếm ưu thế không được gia tăng do lượng tử hóa. Mức triệt tiêu nhiễu kênh lân cận mong muốn sẽ thiết lập tỷ lệ mức tín hiệu tối thiểu với nhiễu lượng hóa (SNR_q) cho các mục trong bảng. SNR_q trước tiên phụ thuộc vào độ dài từ lượng tử và sau đó phụ thuộc vào tỷ lệ giữa biên độ đỉnh và biên độ RMS của tín hiệu [16].

2.2.3. Khoảng cách LUT



Hình 2-5: Cấu trúc DPD dựa trên LUT có hàm nén

Cách tổ chức khoảng cách LUT là một chủ đề được quan tâm với LUT DPD [17], vì khoảng cách đồng nhất hoặc không đồng nhất của LUT có liên quan chặt chẽ đến hiệu suất tuyến tính hóa của DPD. Một hàm nén chịu trách nhiệm tính khoảng cách giữa các mức đầu vào trong LUT. Nó thực hiện xử lý dữ liệu đầu vào để trở LUT đến các phạm vi độ phân giải khác nhau. **Hình 2-5** mô tả cấu trúc cơ bản của DPD dựa trên LUT với hàm nén $s(\cdot)$ chịu trách nhiệm về khoảng cách đồng nhất hoặc không đồng nhất của LUT.

Do đó, nếu xem xét LUT gồm N_t ô, thì độ rộng của các bin LUT (d) trong miền y sẽ là:

$$d = \frac{1}{N_t s'(r_m)} \quad (2.1)$$

trong đó $r_m = |x_T|$.

Một số hàm nén phổ biến nhất:

- Nén biên độ:

$$s(r_m) = r_m \rightarrow s'(r_m) = 1 \quad (2.2)$$

- Nén công suất:

$$s(r_m) = r_m^2 \rightarrow s'(r_m) = 2r_m \quad (2.3)$$

- Luật nén μ :

$$s(r_m) = \frac{\ln(1 + \mu r_m)}{\ln(1 + \mu)} \rightarrow s'(r_m) = \frac{\mu}{\ln(1 + \mu)} \times \frac{1}{1 + \mu r_m} \quad (2.4)$$

trong đó $\mu = 255$ (8 bit) theo tiêu chuẩn Bắc Mỹ và Nhật Bản.

- Chỉ số tối ưu Caver:

$$s'(r_m) = \left(\int \omega(r_m)^{1/3} dr \right)^{-1} \omega(r_m)^{1/3} \quad (2.5)$$

trong đó $\omega(r_m)$ là hàm trọng số được xác định bởi:

$$\omega(r_m) = \frac{r_m^2}{12N_t^2} \times \frac{|g'(r_m)|^2}{|g'(r_m)|^4} p_r(r_m) \quad (2.6)$$

với $g(r_m)$ là mức tăng phức của PA ($f(r_m) \times g(r_m) = K$) và $p_r(r_m)$ hàm mật độ xác suất biên độ tín hiệu (pdf - probability density function).

- Chỉ số cận tối ưu: Sử dụng chỉ số tối ưu Caver:

$$s'(r_m) = \left(\int \omega(r_m)^{1/3} dr \right)^{-1} \omega(r_m)^{1/3} \quad (2.7)$$

nhưng với $\omega(r_m) = r_m^2 p_r(r_m)$.

Hiệu suất tuyến tính tốt nhất đạt được nhờ hàm nén tối ưu Cavers. Tuy nhiên, do độ phức tạp trong tính toán và sự phụ thuộc vào pdf của tín hiệu, tính phi tuyến PA và độ trễ dẫn đến hàm tối ưu Cavers không phù hợp. Mặt khác, sự khác biệt về phát sinh công suất xuyên điều chế theo luật μ và luật nén công suất là đáng kể ở mức tín hiệu cao và thấp tương ứng, bởi vì giá trị trong bảng tra của hai hàm nén là khác nhau ở biên dải biên độ. Hàm nén biên độ (khoảng cách đồng đều) cung cấp kết quả đủ tốt so với hàm nén tối ưu nên đã trở thành một ứng cử viên tiềm năng mang lại hiệu suất tuyến tính tốt với độ phức tạp thấp

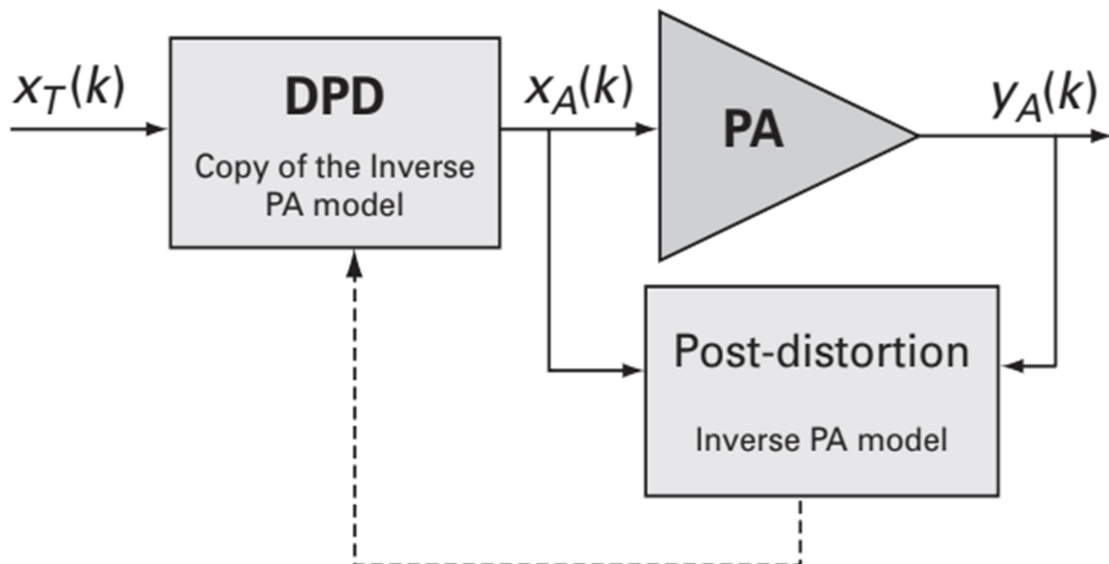
hơn. Hạn chế chính của phương pháp nén/giãn biên độ là phân bố khoảng cách được cố định, trong khi bằng cách sử dụng phương pháp cận tối ưu, thuật toán ít phức tạp hơn khi xem xét các đặc tính tín hiệu (ví dụ pdf).

2.3. Phương pháp nhận dạng méo phi tuyến

Các mô hình hành vi mô tả hành vi động phi tuyến của PA, nhưng để tuyến tính hóa PA, cần phải đạt được đặc tính nghịch đảo của nó (kỹ thuật lọc đường bao). Trong phần này, hai phương pháp nhận dạng nhằm đạt được đặc tính nghịch đảo PA được trình bày. Phương pháp đầu tiên được gọi là méo sau (postdistortion) và dịch, thường được sử dụng để trích xuất hàm nghịch đảo (chức năng của DPD) của PA theo hai bước. Phương pháp thứ hai là một phương pháp nhận dạng mới, phương pháp dự đoán méo trước, nhằm khắc phục một số vấn đề cố hữu tồn tại của phương pháp đầu tiên.

2.3.1. Học gián tiếp: Phương pháp méo sau và dịch

Phương pháp học gián tiếp hoặc phương pháp méo sau và dịch là một kỹ thuật thường được sử dụng để xác định hàm méo trước [18]. Chức năng cơ bản của nó được mô tả dưới dạng sơ đồ trong **Hình 2-6**. Trong phương pháp học gián tiếp, hàm méo trước đầu tiên được ước tính bằng cách sử dụng dữ liệu điều chế băng cơ sở đầu vào ($x_A(k)$) và đầu ra ($y_A(k)$) của bộ khuếch đại công suất. Khi các hệ số xác định hàm méo sau được ước tính, chúng sẽ được sao chép sang một mô hình giống hệt được sử dụng để làm méo trước tín hiệu đầu vào mà sau này sẽ được đưa đến PA.



Hình 2-6: Sơ đồ khối của học gián tiếp: phương pháp méo sau và dịch.

Ưu điểm chính của phương pháp nhận dạng này đó là hàm méo sau thu được từ các quan sát trực tiếp đầu vào và đầu ra PA

$$F_{post}(G(x_T)) = Kx_T \quad (2.8)$$

trong đó $F_{Post}(\cdot)$ và $G(\cdot)$ lần lượt là hàm méo sau và hàm phi tuyến PA, x_T là đường bao phức rời rạc của tín hiệu được truyền đi.

Từ **Hình 2-6** có thể thấy rằng, tính phi tuyến và hiệu ứng nhớ của PA, méo trước và méo sau có thể mô hình bằng phương pháp hồi quy phi tuyến (nonlinear auto regressive). Sử dụng các ký hiệu tín hiệu như trên **Hình 2-6**, mô hình hồi quy phi tuyến được mô tả như sau:

$$\hat{y}_A(k) = \sum_{i=0}^N \hat{f}_i(x_A(k - \tau_i)) - \sum_{j=1}^D \hat{g}_j(y_A(k - \tau_j)) \quad (2.9)$$

Do đó, hàm méo sau trong phương pháp học gián tiếp có thể được biểu diễn dưới dạng mô hình nghịch đảo:

$$\hat{x}_A(k) = \sum_{i=0}^N \hat{f}_i(y_A(k - \tau_i)) - \sum_{j=1}^D \hat{g}_j(x_A(k - \tau_j)) \quad (2.10)$$

trong đó $\hat{f}_i$ và $\hat{g}_j$ là các hàm phi tuyến ước tính có thể được thực hiện bằng đa thức hoặc bằng cách sử dụng bảng tra cứu (LUT). Ngoài ra, $\tau_0 = 0$ trong khi τ_i và τ_j ($\tau \subset N$) lần lượt là độ trễ thừa của đầu vào và đầu ra, góp phần mô tả hiệu ứng bộ nhớ PA.

Để thực hiện hàm méo trước trong FPGA, cần phải ánh xạ các hàm phi tuyến $\hat{f}_i$ và $\hat{g}_j$ vào một tập LUT. Nhưng trước tiên, các hàm phi tuyến xác định hoạt động phi tuyến của bộ méo sau và bộ méo trước phải được tính toán. Vì lý do đó, các hàm phi tuyến tĩnh trong (2.10) được thực hiện bằng đa thức,

$$\begin{aligned} \hat{f}_i(y_A(k - \tau_i)) &= \sum_{p=0}^P \alpha_{pi} y_A(k - \tau_i) |y_A(k - \tau_i)|^p \\ \hat{g}_j(x_A(k - \tau_j)) &= \sum_{p=0}^P \beta_{pj} x_A(k - \tau_j) |x_A(k - \tau_j)|^p \end{aligned} \quad (2.11)$$

với P là bậc đa thức, α_{pi} và β_{pj} lần lượt là các hệ số phức của chúng, $i = (0, 1, \dots, N)$, $j = (1, \dots, D)$ và $\tau_0 = 0$.

Khai triển (2.10) với (2.11) và biểu diễn dưới dạng ký hiệu ma trận nhỏ gọn hơn, có thể viết lại (2.10) như sau:

$$\hat{x}_A(k) = \lambda^H \theta \quad (2.12)$$

Trong đó,

$$\lambda = (\alpha_{00}, \alpha_{10}, \dots, \alpha_{P0}, \alpha_{01}, \dots, \alpha_{P1}, \dots, \alpha_{PN}, -\beta_{01}, \dots, -\beta_{P1}, \dots, -\beta_{0D}, \dots, -\beta_{PD})^T$$

$$\theta = \begin{pmatrix} y_A(k), y_A(k) |y_A(k)|, \dots, y_A(k) |y_A(k)|^P, y_A(k - \tau_1), \dots, y_A(k - \tau_1) |y_A(k - \tau_1)|^P, \\ \dots, y_A(k - \tau_N), \dots, y_A(k - \tau_N) |y_A(k - \tau_N)|^P, x_A(k - \tau_1), \\ \dots, x_A(k - \tau_1) |x_A(k - \tau_1)|^P, \dots, x_A(k - \tau_D), \dots, x_A(k - \tau_D) |x_A(k - \tau_D)|^P \end{pmatrix}^T$$

Hàm chi phí được giảm thiểu để trích xuất các hệ số phức α_{pi} và β_{pj} mô tả hàm phi tuyến bộ méo sau dựa trên hồi quy phi tuyến được xác định theo phương trình sau:

$$J(|e(k)|^2) = J(|x_A(k) - \hat{x}_A(k)|^2) = J(|x_A(k) - \lambda^H \theta|^2) \quad (2.13)$$

Sai số ước tính được định nghĩa là sự khác biệt giữa dữ liệu đầu vào PA ban đầu và dữ liệu đầu ra ước tính của bộ méo sau. Các thuật toán nhận dạng khác nhau có thể được sử dụng để trích xuất các tham số méo sau, chẳng hạn như thuật toán gradient (phương pháp Newton, Steepest Descent, LMS, Fast Kalman) hoặc các phương pháp ước tính tham số (Bình phương tối thiểu LS, LS đệ quy, LS mở rộng).

Khi chúng ta đã xác định được hàm méo sau, có thể ánh xạ hàm méo trước trong FPGA, nhưng để hoàn thành mục tiêu này, trước tiên cần phải biểu diễn hàm méo trước dưới dạng một tập hợp các LUT. Với x_T là đầu vào của bộ méo trước và x_A là đầu ra của bộ méo trước, hàm méo trước vẫn là bản sao chính xác của hàm méo sau đã ước lượng:

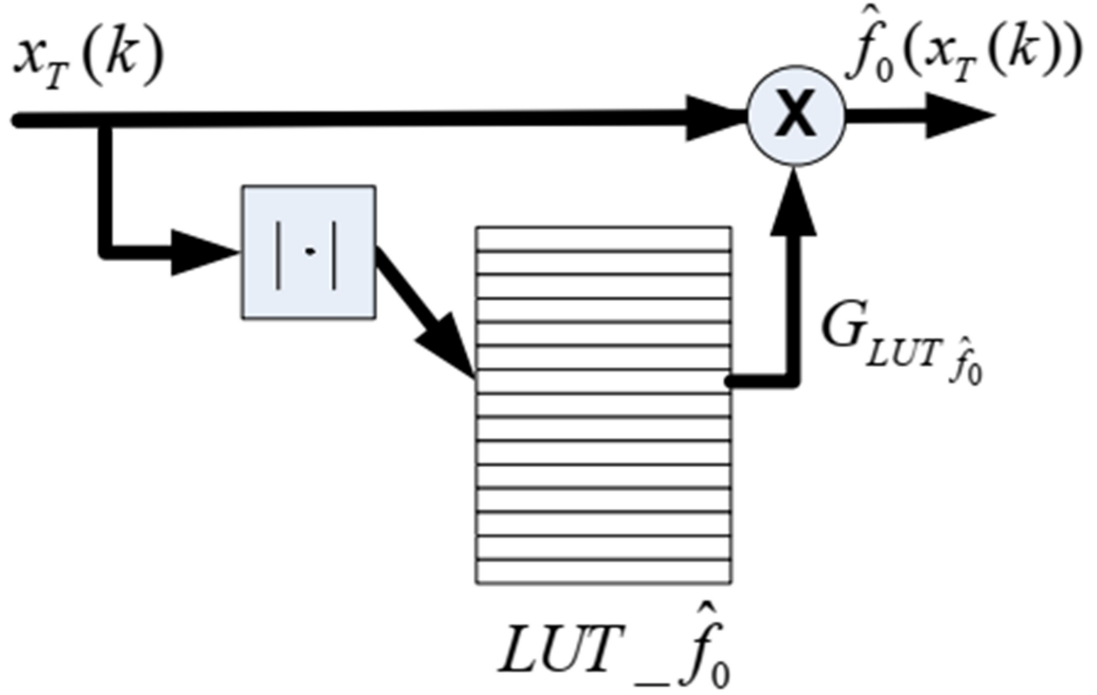
$$x_A(k) = \sum_{i=0}^N \hat{f}_i(x_T(k - \tau_i)) - \sum_{j=1}^D \hat{g}_j(x_A(k - \tau_j)) \quad (2.14)$$

Từ (2.14) có thể hình dung mối quan hệ đầu vào-đầu ra của hàm DPD như một tích phức giữa mẫu đầu vào/đầu ra $(x_T(k), x_A(k))$ và mức tăng phức (G_{LUT}) phụ thuộc vào đường bao của tín hiệu. Vì vậy chúng ta có thể viết lại các hàm phi tuyến tĩnh trong (2.11) dưới dạng:

$$\begin{aligned} \hat{f}_i(x_T(k - \tau_i)) &= x_T(k - \tau_i) G_{LUT-\hat{f}_i}(|x_T(k - \tau_i)|) \\ \hat{g}_j(x_A(k - \tau_j)) &= x_A(k - \tau_j) G_{LUT-\hat{g}_j}(|x_A(k - \tau_j)|) \end{aligned} \quad (2.15)$$

Việc khái quát hóa này là bước quan trọng hướng tới việc triển khai DPD thực tế trên FPGA, vì nó cho phép DPD được phát biểu dưới dạng một khối méo trước cơ bản (BPC - Basic Predistortion Cell) mà từ đó các hàm DPD có thể

nhánh chóng được ánh xạ vào thiết bị FPGA. Sơ đồ khối đơn giản hóa của BPC dựa trên DPD khuếch đại phức được đưa ra trong **Hình 2-7**.

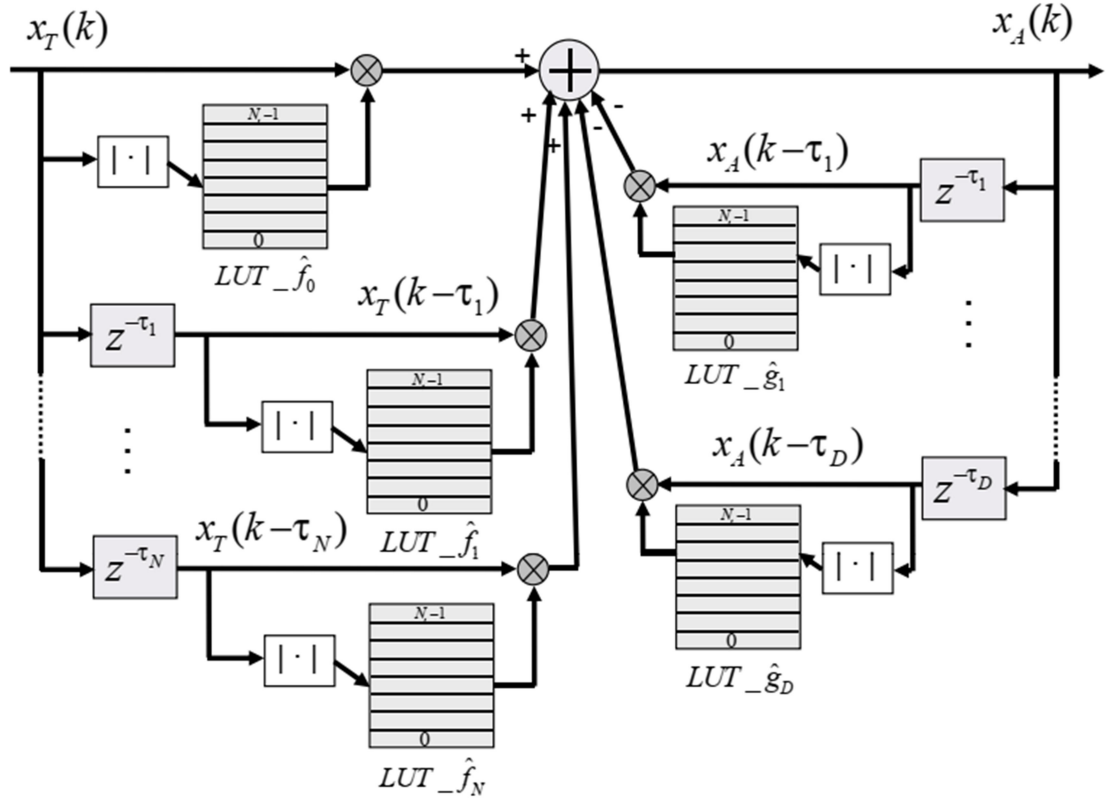


Hình 2-7: Khối méo trước cơ bản BPC để triển khai FPGA

Cuối cùng, mối quan hệ đầu vào-đầu ra của bộ DPD trong (2.14) có thể được biểu diễn dưới dạng kết hợp của một tập hợp LUT:

$$\begin{aligned}
 x_A(k) = & x_T(k) \cdot \underbrace{\left[\alpha_{00} + \alpha_{10} |x_T(k)| + \cdots + \alpha_{P0} |x_T(k)|^P \right]}_{LUT-\hat{f}_0 = G_{LUT-\hat{f}_0}(|x_T(k)|)} + \\
 & + x_T(k - \tau_1) \cdot \underbrace{\left[\alpha_{01} + \alpha_{11} |x_T(k - \tau_1)| + \cdots + \alpha_{P1} |x_T(k - \tau_1)|^P \right]}_{LUT-\hat{f}_1 = G_{LUT-\hat{f}_1}(|x_T(k - \tau_1)|)} + \\
 & \vdots \\
 & + x_T(k - \tau_N) \cdot \underbrace{\left[\alpha_{0N} + \alpha_{1N} |x_T(k - \tau_N)| + \cdots + \alpha_{PN} |x_T(k - \tau_N)|^P \right]}_{LUT-\hat{f}_N = G_{LUT-\hat{f}_N}(|x_T(k - \tau_N)|)} \quad (2.1) \\
 & - x_A(k - \tau_1) \cdot \underbrace{\left[\beta_{01} + \beta_{11} |x_A(k - \tau_1)| + \cdots + \beta_{P1} |x_A(k - \tau_1)|^P \right]}_{LUT-\hat{g}_1 = G_{LUT-\hat{g}_1}(|x_A(k - \tau_1)|)} - \\
 & \vdots \\
 & - x_A(k - \tau_D) \cdot \underbrace{\left[\beta_{0D} + \beta_{1D} |x_A(k - \tau_D)| + \cdots + \beta_{PD} |x_A(k - \tau_D)|^P \right]}_{LUT-\hat{g}_D = G_{LUT-\hat{g}_D}(|x_A(k - \tau_D)|)}
 \end{aligned}$$

Mỗi quan hệ đầu vào-đầu ra DPD trong (2.16) có kiến trúc như trong **Hình 2-8**, trong đó có thể thấy việc triển khai nhiều LUT sẽ được ánh xạ trong FPGA.

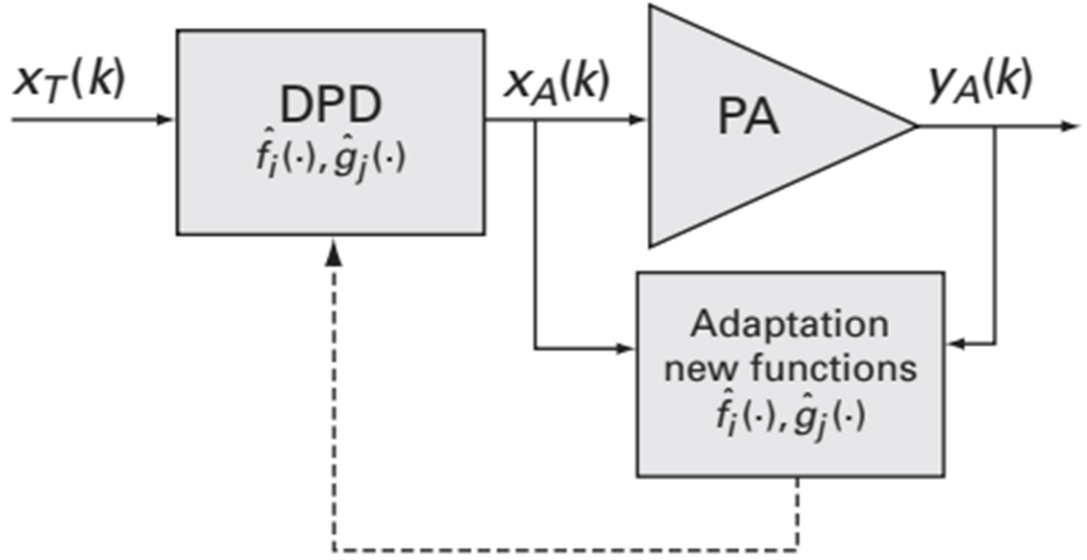


Hình 2-8: Triển khai tập LUT cho DPD sử dụng phương pháp học gián tiếp.

2.3.2. Phương pháp méo trước dự đoán

Mặc dù phương pháp học gián tiếp cải thiện tuyến tính, nhưng vẫn còn một nhược điểm cố hữu là khả năng hội tụ vào giá trị cực trị cục bộ. Vì lý do đó, phương pháp thay thế để xác định và điều chỉnh hàm dự đoán méo trước nhận được nhiều sự quan tâm (**Hình 2-9**). Khối DPD thích ứng được thực hiện ở băng tần cơ sở để khi kết hợp với PA đưa máy phát hoạt động như một thiết bị tuyến tính. Theo phương pháp này, trước tiên cần phải thực hiện việc xác định mô hình hành vi PA theo đường bao phức thông thấp như được mô tả trong phương trình (2.9). Sau đó, tập hợp các hàm phi tuyến đầu tiên ($\hat{f}_i$ và $\hat{g}_j$) xác định hành vi PA được tính toán ở băng tần cơ sở bằng cách sử dụng dữ liệu đường bao phức rời rạc đầu vào PA (x_A) và đầu ra (y_A). Khi đã xác định được $\hat{f}_i$ và $\hat{g}_j$, tiếp theo có thể xem y_D là đầu ra PA được tuyến tính hóa mong muốn. Đầu ra mong muốn này được định nghĩa là tín hiệu được phát đi (x_T) nhân với mức tăng tuyến tính (G_{linear}),

$$y_D(k) = x_T(k)G_{linear} \quad (2.17)$$



Hình 2-9: Sơ đồ khối của phương pháp méo trước dự đoán.

Như có thể thấy trong **Hình 2-9**, $x_A(k) = x_T(k)$ nếu không xét đến DPD bằng gốc. Từ biểu thức mô hình PA trong (2.9) có thể suy ra

$$\hat{f}_0(x_A(k)) = y_A(k) - \sum_{i=1}^N \hat{f}_i(x_A(k - \tau_i)) + \sum_{j=1}^D \hat{g}_j(y_A(k - \tau_j)) \quad (2.18)$$

và nghiệm (2.18) có thể thu được đầu vào bộ khuếch đại cần thiết $\hat{x}_A(k)$ để đạt được đầu ra $y_A(k)$ nhất định. Vì đầu ra mong muốn $y_D(k)$ được đánh giá trước bởi (2.17), nên trong (2.18) y_A được thay thế bằng y_D (và tương tự cho tất cả các mẫu đầu ra bị trễ). Nói cách khác, đầu ra mong muốn $y_D(k)$ được coi là dự đoán về giá trị tương lai của $y_A(k)$ (đầu ra hiện tại) và do đó, giá trị đầu vào $\hat{x}_A(k)$ của PA cho phép đạt được đầu ra mong muốn $y_A(k) = y_D(k)$. Cuối cùng, đầu ra $\hat{x}_A(k)$ của DPD kỹ thuật số cũng là đầu vào PA có thể được thể hiện như sau:

$$\hat{x}_A(k) = \hat{f}_0^{-1} \left(y_D(k) - \sum_{i=1}^N \hat{f}_i(\hat{x}_A(k - \tau_i)) + \sum_{j=1}^D \hat{g}_j(y_D(k - \tau_j)) \right) \quad (2.19)$$

Để thực hiện chức năng DPD trong FPGA, cần phải phát triển cấu trúc DPD bằng sự kết hợp các LUT. Mô hình (2.9) trước hết được mở rộng bằng biểu thức đa thức. Do đó mô hình DPD này nhận được

$$\begin{aligned}
y_A(k) = & x_A(k) \cdot \underbrace{\left[\alpha_{00} + \alpha_{10} |x_A(k)| + \dots + \alpha_{P0} |x_A(k)|^P \right]}_{LUT-\hat{f}_0 = G_{LUT-\hat{f}_0}(|x_A(k)|)} + \\
& x_A(k - \tau_1) \cdot \underbrace{\left[\alpha_{01} + \alpha_{11} |x_A(k - \tau_1)| + \dots + \alpha_{P1} |x_A(k - \tau_1)|^P \right]}_{LUT-\hat{f}_1 = G_{LUT-\hat{f}_1}(|x_A(k - \tau_1)|)} + \\
& \vdots \\
& x_A(k - \tau_N) \cdot \underbrace{\left[\alpha_{0N} + \alpha_{1N} |x_A(k - \tau_N)| + \dots + \alpha_{PN} |x_A(k - \tau_N)|^P \right]}_{LUT-\hat{f}_N = G_{LUT-\hat{f}_N}(|x_A(k - \tau_N)|)} - \\
& y_A(k - \tau_1) \cdot \underbrace{\left[\beta_{01} + \beta_{11} |y_A(k - \tau_1)| + \dots + \beta_{P1} |y_A(k - \tau_1)|^P \right]}_{LUT-\hat{g}_1 = G_{LUT-\hat{g}_1}(|y_A(k - \tau_1)|)} - \\
& \vdots \\
& y_A(k - \tau_D) \cdot \underbrace{\left[\beta_{0D} + \beta_{1D} |y_A(k - \tau_D)| + \dots + \beta_{PD} |y_A(k - \tau_D)|^P \right]}_{LUT-\hat{g}_D = G_{LUT-\hat{g}_D}(|y_A(k - \tau_D)|)}
\end{aligned} \tag{2.20}$$

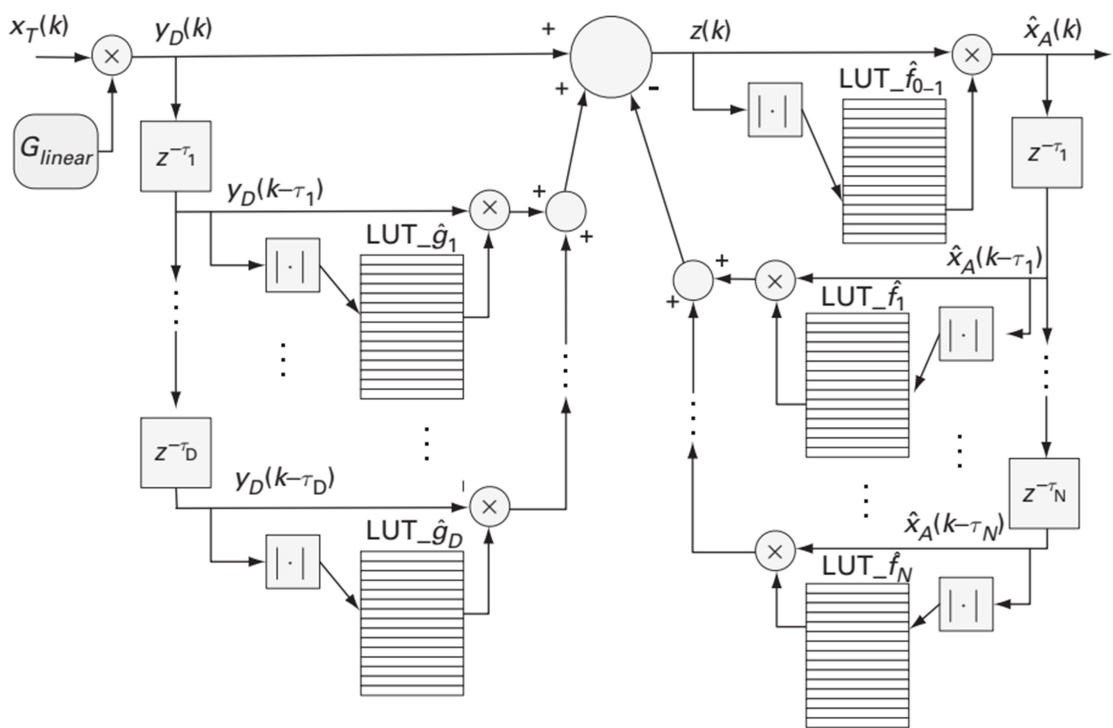
Do đó, theo cách tương tự như trong phương pháp học gián tiếp, có thể viết lại hàm DPD trong (2.19) theo biểu thức thuận tiện hơn khi sử dụng các đầu vào và đầu ra phức (bị trễ) nhân với mức tăng phức tương ứng (G_{LUT}),

$$\hat{x}_A(k) = z(k) G_{LUT-\hat{f}_0^{-1}}(|z(k)|) \tag{2.21}$$

trong đó $z(k)$ được định nghĩa là:

$$\begin{aligned}
z(k) = & y_D(k) + \sum_{j=1}^D y_D(k - \tau_j) G_{LUT-\hat{g}_j}(|y_D(k - \tau_j)|) \\
& - \sum_{i=1}^N \hat{x}_A(k - \tau_i) G_{LUT-\hat{f}_i}(|\hat{x}_A(k - \tau_i)|)
\end{aligned} \tag{2.22}$$

Từ (2.21) và (2.22) có thể thấy rằng, DPD có thể được ánh xạ vào FPGA dưới dạng một tập hợp các BPC song song và xếp tầng, như mô tả trong **Hình 2-10**. Hơn nữa, hoạt động DPD phù hợp có được bằng cách tải các giá trị khuếch đại phức thích hợp vào mỗi BPC LUT.



Hình 2-10: Cấu trúc triển khai bộ DPD sử dụng tập các LUT.

2.4. Cập nhật bảng tra cứu cho quá trình thích ứng

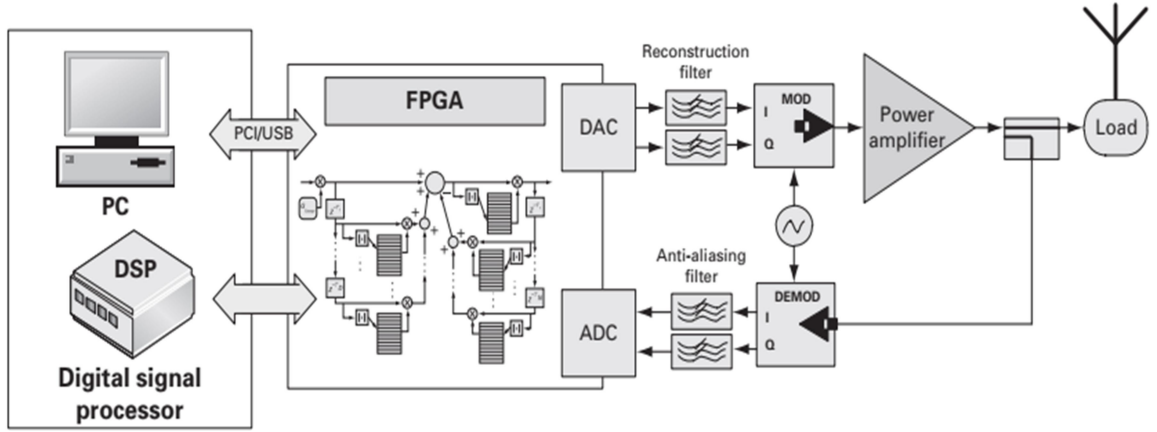
Bản thân quá trình tuyến tính hóa là một quá trình của hệ hở và hoạt động riêng biệt với quá trình thích ứng. Mặt khác, quá trình thích ứng, bao gồm việc tính toán định kỳ các giá trị méo trước mới để cập nhật nội dung vào LUT, có thể được thực hiện trên cả PC (sử dụng Matlab) hoặc trong cùng một FPGA đang triển khai DPD. Do đó, để thực hiện chức năng DPD trong chip FPGA, có thể xem xét hai cấu hình có thể thực hiện quá trình thích ứng cho LUT:

- Thích ứng bên ngoài: các thuật toán thích ứng bảo đảm LUT cập nhật mới cho chức năng DPD là được lập trình bởi thiết bị bên ngoài (như PC hoặc DSP).
- Thích ứng FPGA thời gian thực: Nội dung LUT được cập nhật liên tục (thời gian thực) trong cùng một chip FPGA.

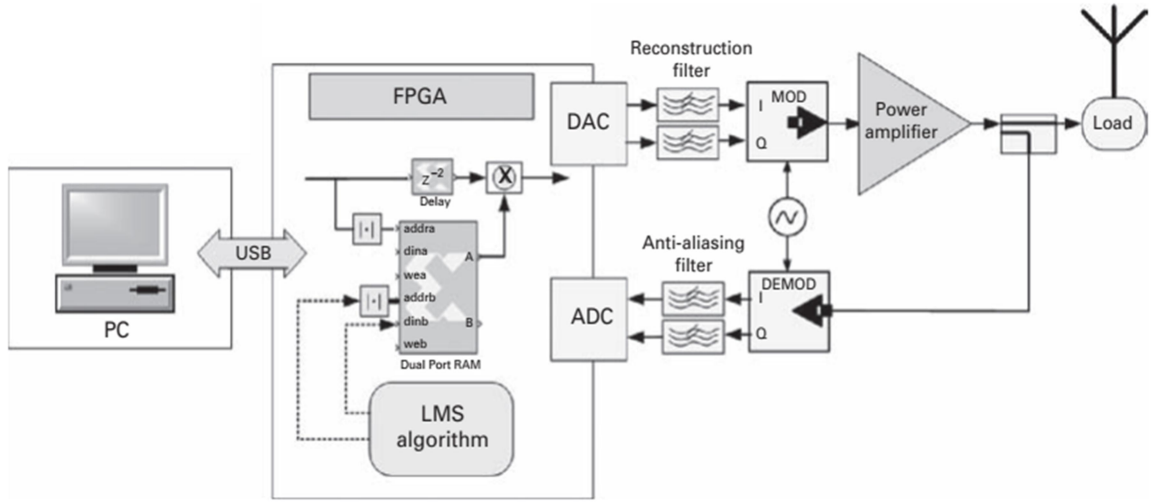
Cấu hình thứ nhất thường chỉ sử dụng để đánh giá tiềm khả thi và hiệu quả của thuật toán. Cấu hình thứ hai tận dụng được khả năng xử lý song song của chip FPGA mà không yêu cầu thay đổi phần cứng hệ thống.

Trong cấu hình thích ứng bên ngoài, các thuật toán thích ứng phức tạp hơn được tính toán trong một thiết bị bên ngoài, và do đó có hằng số thời gian thích ứng thoải mái hơn. Như được mô tả trong Hình 2.11, cần có một vòng phản hồi từ đầu ra PA tới FPGA, thông qua bộ giải điều chế và bộ chuyển đổi ADC, để thu thập dữ liệu cần thiết cho quá trình thích ứng. FPGA cung cấp cho máy tính bên ngoài bộ đệm chứa dữ liệu đầu ra PA và đầu ra méo trước. Bộ chuyển đổi

DAC và ADC được lấy mẫu ở tốc độ quá mức, thường tối thiểu 4 lần tốc độ lấy mẫu dải cơ sở để bảo đảm xử lý bức xạ kênh lân cận.



Hình 2-11: Sơ đồ khối của DPD có thích ứng bên ngoài.



Hình 2-12: Sơ đồ khối của DPD với thích ứng thời gian thực được thực hiện trong FPGA.

Chức năng thích ứng có thể thực hiện được FPGA nếu tiến hành cập nhật lặp đi lặp lại mức khuếch đại phức DPD (G_{LUT}) trong tập các LUT hoặc BPC. Có thể sử dụng thuật toán bình phương trung bình nhỏ nhất (LMS) [19] để cập nhật đồng thời tất cả các mức khuếch đại liên quan (trong BPC) trong quá trình thực thi DPD. Cấu hình thích ứng thời gian thực được thể hiện dưới dạng sơ đồ trong **Hình 2-12**.

Việc cập nhật dữ liệu LUT cho DPD được xác định trong (2.9). Quy trình nhận dạng mô hình PA được thực hiện thông qua thuật toán bình phương tối thiểu (LS). Do đó, coi x_A là vector dữ liệu phức ở đầu ra DPD (đầu vào PA) và y_A là vector dữ liệu phức được căn chỉnh theo thời gian tương ứng của đầu ra PA, cả hai vector có độ dài mẫu L , chúng ta định nghĩa

$$x_A^{pi}(k) = x_A(k - \tau_i) | x_A(k - \tau_i) |^p \quad (2.23)$$

$$y_A^{pj}(k) = y_A(k - \tau_j) |y_A(k - \tau_j)|^p \quad (2.24)$$

Khi đó, mỗi quan hệ đầu vào-đầu ra trong (2.9) có thể được biểu diễn dưới dạng ký hiệu ma trận như sau

$$\mathbf{y}_A = \mathbf{Q}\hat{\mathbf{\delta}} \quad (2.25)$$

Trong đó

$$\begin{aligned} \mathbf{y}_A &= [y_A(0), \dots, y_A(L-1)]^T \\ \mathbf{Q} &= [\mathbf{x}_A^{00}, \dots, \mathbf{x}_A^{P0}, \dots, \mathbf{x}_A^{PN}, \mathbf{y}_A^{01}, \dots, \mathbf{y}_A^{P1}, \dots, \mathbf{y}_A^{0D}, \dots, \mathbf{y}_A^{PD}] \\ \hat{\mathbf{\delta}} &= \begin{bmatrix} \alpha_{00}, \dots, \alpha_{P0}, \dots, \alpha_{0N}, \dots, \alpha_{PN}, \\ -\beta_{01}, \dots, -\beta_{P1}, \dots, -\beta_{0D}, \dots, -\beta_{PD} \end{bmatrix}^T \end{aligned}$$

Do đó, nghiệm bình phương nhỏ nhất (LS) của (2.25) là:

$$\hat{\mathbf{\delta}} = (\mathbf{Q}^H \mathbf{Q})^{-1} \mathbf{Q}^H \mathbf{y}_A \quad (2.26)$$

trong đó chỉ số mũ H biểu thị chuyển vị liên hợp phức.

Quá trình thích ứng được thực hiện trong PC được mô tả dưới dạng sơ đồ trong **Hình 2-11** và được mô tả theo các bước sau:

- Trong bước đầu tiên, xác định các hàm phi tuyến $\hat{f}_i$ và $\hat{g}_j$ mới (được mô tả trong (2.9)) sử dụng thuật toán LS trong (2.26) thông qua các vectơ dữ liệu đầu vào PA (x_A) và đầu ra (y_A), như được minh họa trong **Hình 2-9**.

- Bước thứ hai: Đảo ngược hàm phi tuyến không bộ nhớ $\hat{f}_0$ để thu được đầu ra DPD bởi (2.19).

- Bước cuối cùng: Tạo ra mức khuếch đại phức (G_{LUT}) cho tất cả các LUT cần thiết để thực hiện chức năng DPD được mô tả trong (2.19). Từ (2.20), (2.21) và (2.22) và đưa vào FPGA. Sau đó, quay lại bước thứ nhất.

Nếu chức năng thích ứng được thực hiện trong FPGA, mô hình PA và chức năng DPD được ánh xạ vào FPGA. Mô hình PA trong (2.9) có thể được biểu diễn dưới dạng tập hợp các phép nhân phức giữa các mẫu đầu vào/đầu ra và mức tăng khuếch đại phức:

$$\begin{aligned}
y_{A_PA}(k) = & x_A(k) G_{LUT-\hat{f}_0}(|x_A(k)|) \\
& + \sum_{i=1}^N x_A(k-\tau_i) G_{LUT-\hat{f}_i}(|x_A(k-\tau_i)|) \\
& - \sum_{j=1}^D y_A(k-\tau_j) G_{LUT-\hat{g}_j}(|y_A(k-\tau_j)|)
\end{aligned} \tag{2.27}$$

trong đó, mức khuếch đại phức khởi tạo (GLUT) của BPC bằng 0 hoặc 1.

Việc cập nhật mức khuếch đại phức LUT được thực hiện bằng thuật toán LMS phức, trong đó sai số nhận dạng được mô tả bởi

$$e(k) = y_{A_Measured}(k) - y_{A_PA}(k) \tag{2.28}$$

và thuật toán LMS có thể được biểu diễn dưới dạng:

$$\begin{aligned}
\Delta G_{LUT-\hat{f}_i}(|x_A(k-\tau_i)|) &= \mu_i^f x_A(k-\tau_i) \bar{e}(k) \\
\Delta G_{LUT-\hat{g}_j}(|y_A(k-\tau_j)|) &= \mu_j^g y_A(k-\tau_j) \bar{e}(k)
\end{aligned} \tag{2.29}$$

trong đó $y_{A_Measured}$ là đầu ra bộ khuếch đại được đo thực tế y_{A_PA} là đầu ra mô hình PA, $\bar{e}(k)$ là liên hợp phức của sai số phức và $\mu (\mu_i^f, \mu_j^g)$ là kích thước bước xác định tốc độ học của thuật toán LMS.

Do đó, ở mỗi bước lặp của thuật toán thích ứng, các hoạt động sau được thực hiện đồng thời (xử lý song song) trong FPGA:

- Áp dụng (2.27) để thu được mẫu đầu ra của mô hình PA $y_{A_PA}(k)$, tạo ra sai số LMS theo (2.28).
- Áp dụng (2.27) để thu được mẫu đầu ra DPD mới ($x_A(k)$).
- Tất cả mức khuếch đại LUT phức liên quan đến việc tính toán mẫu đầu ra DPD được cập nhật bằng thuật toán LMS theo (2.29).

Sau một khoảng thời gian nhất định, trong đó tất cả mức khuếch đại LUT liên tục được cập nhật, đầu ra PA sẽ hội tụ đến đầu ra mong muốn để đạt được tính tuyến tính mong muốn.

2.5. Kết luận chương 2

Chương 2 đã mô tả cơ sở cho thiết kế và triển khai liên quan đến DPD. Cụ thể là, một số vấn đề cơ bản liên quan đến tổ chức bảng LUT đã được trình bày,

sau đó giới thiệu các cấu trúc khối méo trước cơ bản, ký hiệu LUT-BPC được tổ chức theo chức năng DPD để dễ dàng thiết kế bộ DPD và ánh xạ vào FPGA.

Ngoài ra, một phương pháp dự đoán mới để xác định chức năng bộ DPD đã được trình bày, khắc phục phương pháp học gián tiếp cổ điển giả định tính chất giao hoán cho các hệ phi tuyến. Hàm DPD đã được cụ thể hóa bằng cách sử dụng mô hình hóa PA phi tuyến động. Chương 2 cũng đã rút ra cấu trúc mô hình PA và DPD dựa trên sự đóng góp của các mẫu bị trễ của tín hiệu đầu vào và đầu ra và xây dựng kiến trúc khối BPC để dễ dàng triển khai DPD, ánh xạ DPD vào FPGA.

Chương 2 cũng trình bày hai cách tiếp cận khác nhau để cập nhật tất cả các BPC trong FPGA phù hợp với cách tiếp cận bo mạch phần cứng trên thị trường. Cách tiếp cận thứ nhất thực hiện cập nhật LUT trong DSP/PC bên ngoài trong khi cách tiếp cận thứ hai tận dụng khả năng xử lý song song của FPGA để thực hiện quá trình thích ứng trong cùng một FPGA đang thực hiện chức năng DPD. Trong phương pháp thích ứng bên ngoài, việc thích ứng được thực hiện độc lập với chức năng DPD trong FPGA. Điều này có thể gây ra một số vấn đề về tính liên tục của bản cập nhật LUT. Cách tiếp cận thích ứng theo thời gian thực có thể được thực hiện trong cùng một FPGA thực thi DPD, bằng cách thực hiện cập nhật song song các mức khuếch đại phức LUT.

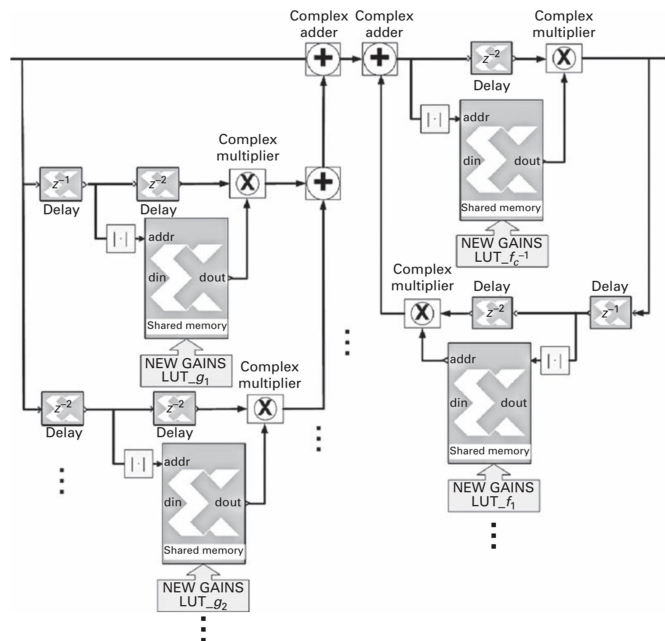
CHƯƠNG 3: TRIỂN KHAI VÀ ĐÁNH GIÁ THIẾT KẾ BỘ MÉO TRƯỚC TÍN HIỆU DỰA TRÊN BẢNG TRA

Chương này trình bày cách triển khai phần cứng FPGA cho DPD bắt nguồn từ mô hình hành vi PA và sau đó được ánh xạ vào một tập các LUT. Mục tiêu của chương là để kiểm chứng các mô hình và cấu hình triển khai DPD trong FPGA. Nhằm mục đích xác minh về lý thuyết, kịch bản sử dụng tín hiệu thử nghiệm theo tiêu chuẩn truyền hình số DVB-T2 được xem xét để xác nhận độ tin cậy của thiết kế FPGA cho DPD.

3.1. Mô tả thiết kế FPGA

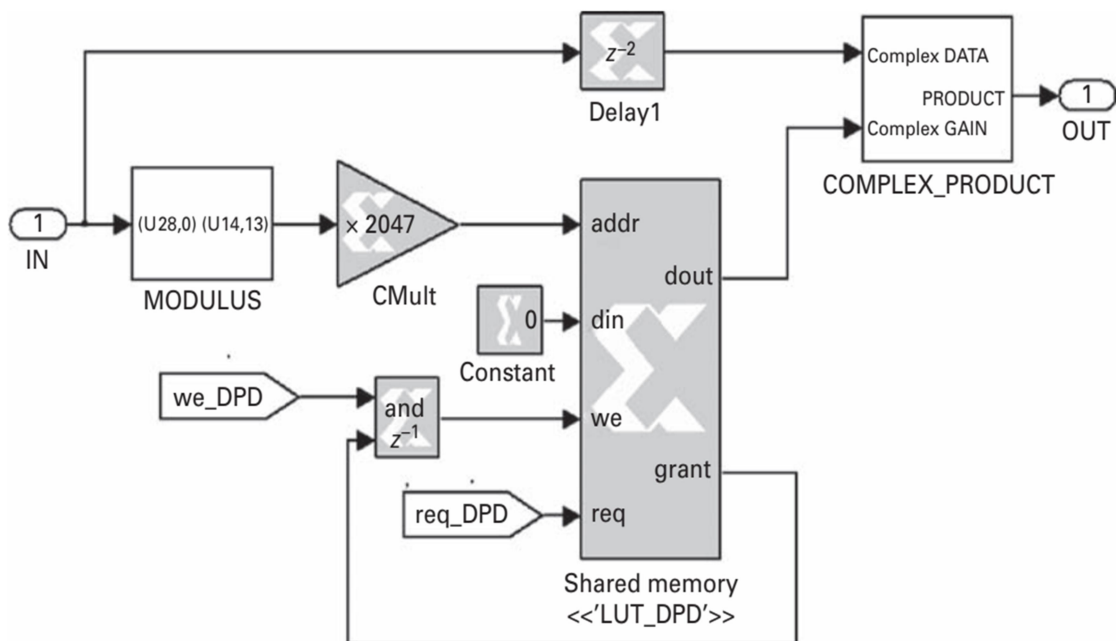
3.1.1. Tiêu Thiết kế DPD thích ứng bên ngoài

Hình 2-11 cho thấy sơ đồ khối của DPD thích ứng dựa trên mô hình hành vi PA trong đó việc thích ứng (cập nhật nội dung LUT trong BPC) được thực hiện từ một thiết bị bên ngoài chẳng hạn PC. Méo trước tín hiệu đầu vào được thực hiện theo thời gian thực trong FPGA, trong khi nội dung LUT được cập nhật định kỳ. Hàm DPD tuân theo kiến trúc mô hình hành vi PA đảo ngược tương ứng với (2.21) và (2.22), thu được thông qua phương pháp dự đoán trước. Hình 3-1 cho thấy sơ đồ khối của bộ DPD bao gồm một số BPC song song. Nhìn chung, mỗi BPC bao gồm các khối phần cứng sau: bộ nhân phức, bộ nhớ truy cập ngẫu nhiên (RAM) sử dụng làm LUT và bộ tính địa chỉ để chọn vị trí bộ nhớ trong LUT. Tuy nhiên, để truy cập RAM từ thiết bị bên ngoài (chẳng hạn như khi sử dụng PC để cập nhật nội dung LUT), cần có bộ nhớ dùng chung.



Hình 3-1: Thiết kế DPD có thích ứng bên ngoài được triển khai bằng công cụ System Generator

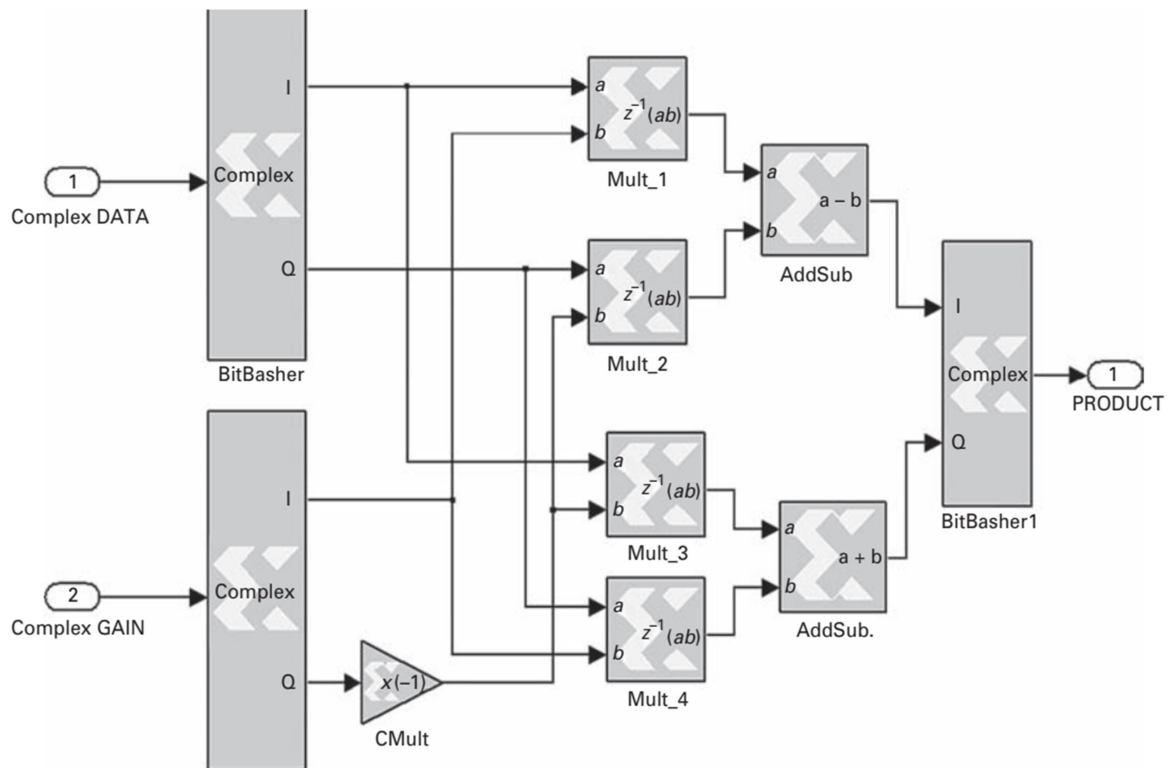
Hình 3-2 cho thấy việc triển khai thiết kế FPGA cho BPC với khả năng thích ứng bên ngoài bằng cách sử dụng các khối System Generator. Có thể quan sát, khối bộ nhớ dùng chung có ba đầu vào mặc định: địa chỉ (addr), dữ liệu vào (din) và cho phép ghi (we) và một đầu ra mặc định: đầu ra dữ liệu (dout). Ngoài ra, bằng cách đặt bảo vệ truy cập ở chế độ có thể khóa sẽ xuất hiện thêm hai cổng trên giao diện bộ RAM: yêu cầu cổng đầu vào (req) và cấp một cổng đầu ra sẵn sàng. Điều khiển cổng we bằng 1 cho báo cho RAM biết trên cổng din phải ghi vào địa chỉ bộ nhớ được trỏ bởi cổng addr, giá trị của nó phải nằm trong phạm vi từ 0 đến $L - 1$, L là độ sâu bộ nhớ của LUT (trong **Hình 3-2** L bằng $2^{11} = 2048$ là được lựa chọn trong thiết kế, độ sâu này là đủ cho thuật toán LMS). Khi bảo vệ quyền truy cập được đặt về trạng thái có thể khóa, các cổng yêu cầu và cấp phép ghi được sử dụng để kiểm soát quyền truy cập vào bộ nhớ. Trước khi việc đọc hoặc ghi có thể xảy ra, trước tiên, yêu cầu phải được thực hiện bằng cách đặt req về logic '1'. Khi cấp quyền trở thành '1', yêu cầu quyền truy cập đã được cho phép và các hoạt động đọc hoặc ghi có thể tiếp tục. Như có thể thấy trong **Hình 3-2**, cổng din được đặt thành 0, vì nội dung dữ liệu để cập nhật LUT được cung cấp từ một thiết bị bên ngoài (từ PC).



Hình 3-2: Thiết kế FPGA cho khối BPC có thích ứng bên ngoài bằng công cụ System Generator.

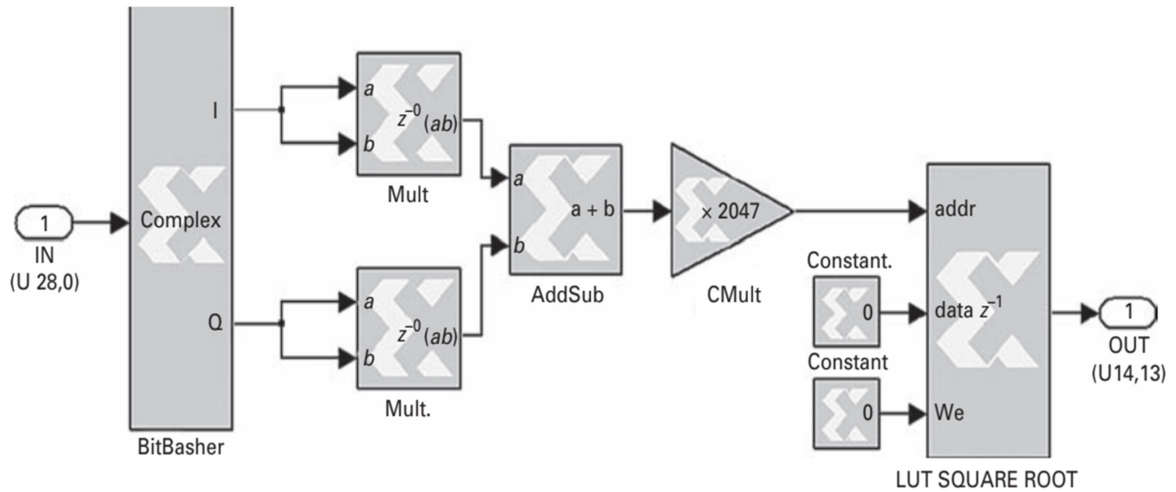
Hình 3-3 cho thấy việc triển khai một bộ nhân phức (bao gồm cả nhân liên hợp phức của mức khuếch đại DPD) bằng các khối System Generator. Bằng khối BitBasher, 28 bit dữ liệu phức không dấu được chia thành hai thành phần dữ liệu I/Q dấu phẩy thập fix(14,13) (14 bit có dấu với phần thập phân biểu diễn bằng 13 bit nhị phân). Tương tự, mức khuếch đại phức trong LUT được chia thành hai

phần: phần thực và phần ảo fix(14,12) có dấu. Sau đó, có thể thực hiện phép nhân phức thông qua bốn phép nhân số thực và hai phép cộng. Cuối cùng, các thành phần dữ liệu I/Q fix(14,13) đã ký của tín hiệu bị méo trước được hợp nhất thành dữ liệu phức 28 bit không dấu bằng BitBasher.



Hình 3-3: Bộ nhân phức được triển khai thiết kế bằng System Generator.

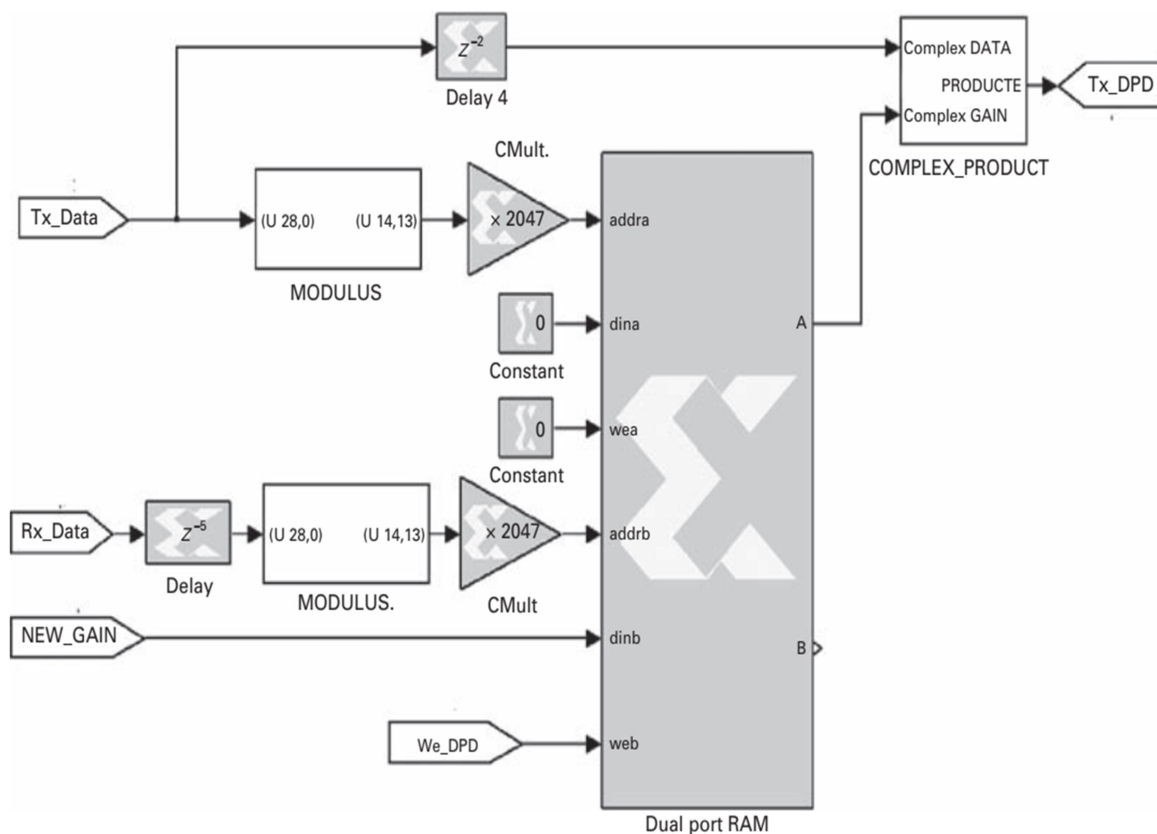
Trong số các hàm nén khác nhau áp dụng vào LUT, hàm nén biên độ hoặc hàm khoảng cách đồng nhất đã cho thấy sự cân bằng tốt giữa độ chính xác và sự phức tạp. Do đó, khi xem xét khoảng cách đồng đều, cần phải tính giá trị tuyệt đối (mô đun) của đường bao phức của tín hiệu. Khối mô-đun để giải quyết LUT được triển khai bằng các khối System Generator được đưa ra trong **Hình 3-4**. Hàm căn bậc hai có thể được thực hiện bằng khối CORDIC (COordinate Rotation DIgital Computer). Tuy nhiên, khối CORDIC có độ trễ cao hơn so với ánh xạ hàm căn bậc hai trong khối RAM (độ trễ 1 chu kỳ xung nhịp). Từ **Hình 3-4**, khi thu được giá trị tuyệt đối bình phương của đường bao phức của tín hiệu đầu vào (trong khoảng từ 0 đến 1), thì nó được nhân với L , L là độ sâu bộ nhớ của LUT (RAM) chứa L các giá trị của hàm căn bậc hai (LUT lưu trữ giá trị căn bậc hai của L số thực nằm trong khoảng từ 0 đến 1, theo các bước $1/L$).



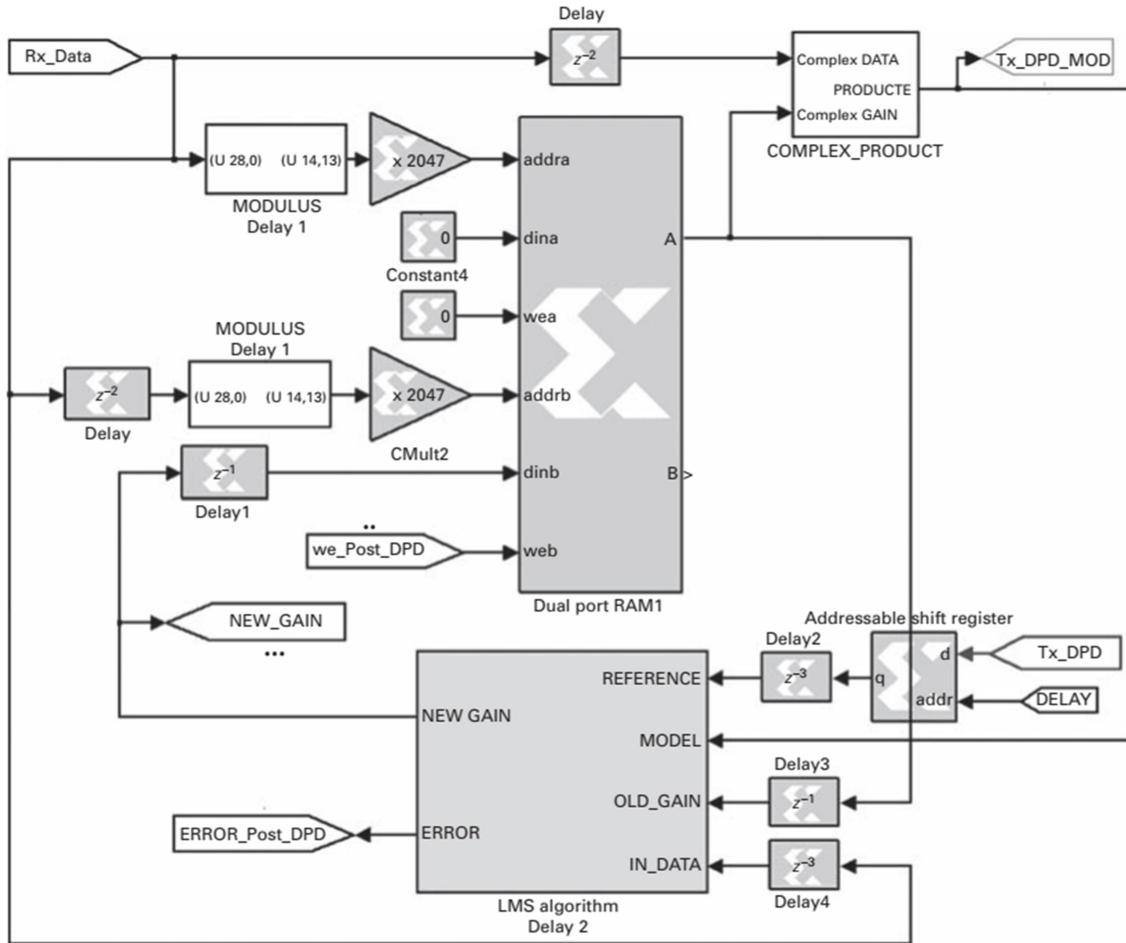
Hình 3-4: Thiết kế FPGA khối tính mô-đun bằng System Generator

3.1.2. Thiết kế DPD thích ứng bên trong FPGA

Hình 3-4 cho thấy sơ đồ khối của DPD thích ứng bên trong FPGA. Thiết kế FPGA khối DPD có khả năng cập nhật mức khuếch đại phức từ thuật toán LMS là được đưa ra trên Hình 3.5. Như thể hiện trên Hình 3.5, $x_T(k)$ là tín hiệu gốc cần được phát đi (Tx_Data trong Hình 3.5), $x_A(k)$ là tín hiệu bị méo trước (Tx_DPD trong Hình 3.5) được cấp đến PA và $(G_{LUT-\hat{f}_0}$ là mức khuếch đại phức được lưu trong LUT của một BPC trong DPD. Hình 3.5 cho thấy BPC thực hiện chức năng DPD. Sự khác biệt chính với BPC được trình bày trong **Hình 3-4** là RAM hai cổng, bao gồm một khối có hai bộ cổng độc lập để đọc đồng thời và ghi. Các cổng độc lập cho phép ghi, địa chỉ, dữ liệu cho phép truy cập chung vào một không gian bộ nhớ. Theo mặc định, mỗi bộ cổng có một cổng đầu ra và ba cổng đầu vào cho địa chỉ, dữ liệu đầu vào và cho phép ghi. Việc sử dụng Dual-Port RAM cho phép mức khuếch đại phức LUT được cập nhật liên tục mà không làm gián đoạn quá trình truyền dữ liệu thông thường.



Các mức khuếch đại mới để cập nhật hàm DPD (cụ thể là cập nhật nội dung bảng LUT của BPC DPD trong **Hình 3-5**) được tính toán trong khối méo sau như được mô tả dưới dạng sơ đồ trong sơ đồ khối học tập gián tiếp trong **Hình 3-6**. BPC méo sau được triển khai với các khối System Generator được mô tả trong **Hình 3-6**, trong đó khối RAM hai cổng được sử dụng để cho phép truy cập chung vào một không gian bộ nhớ. Mức khuếch đại méo sau được tính toán để sau này được sao chép vào khối DPD. Mức khuếch đại méo sau (và của DPD) mới được ước tính bằng thuật toán LMS.



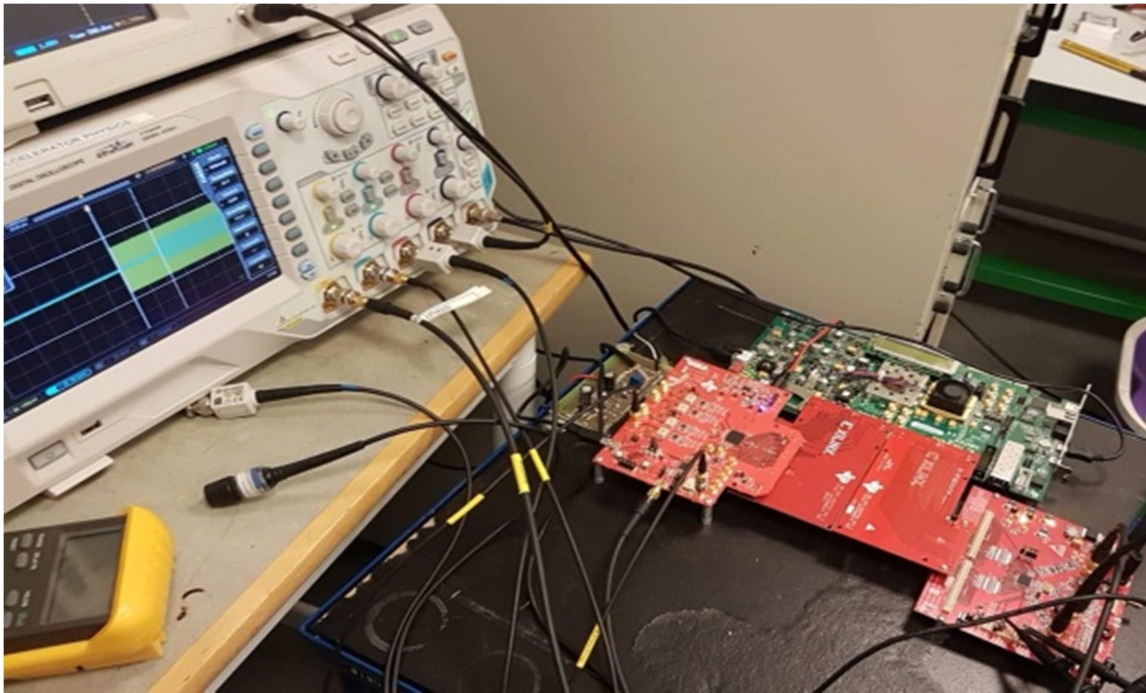
Hình 3-6: Triển khai FPGA cho BPC méo sau sử dụng Dual-Port RAM và khối LMS để thực hiện thích ứng trực tuyến

3.2. Thiết lập hệ thống thử nghiệm

FPGA là phần cứng có thể lập trình tùy chỉnh và nhờ khả năng xử lý song song nên việc thực hiện cả DPD và quy trình thích ứng DPD thời gian thực trong một FPGA là khả thi.

Ngoài ra, kiến trúc DSP-FPGA hỗn hợp trên một bo mạch như trong [20] cho phép thông lượng dữ liệu cao, FPGA chịu trách nhiệm xử lý DPD thời gian thực. Trong khi DSP thực hiện các chức năng phức tạp hơn, ít bị ràng buộc về thời gian hơn, chẳng hạn như quy trình thích ứng để trích xuất tham số cho DPD LUT. Để nâng cao tính linh hoạt trong quá trình đánh giá thiết kế, thiết bị DSP được thay thế bằng một máy tính PC bên ngoài trong đó cài đặt phần mềm Matlab để thực hiện quá trình thích ứng. FPGA sử dụng trong thiết kế trên bo mạch Xilinx Kintex-7 FPGA KC705 Evaluation Kit. Hệ thống được thiết lập cho thử nghiệm như trên **Hình 2-11** và 2.12 cho hai cách tiếp cận thích ứng DPD. Một vòng phản hồi từ đầu ra PA tới FPGA, thông qua bộ giải điều chế và bộ chuyển đổi ADC đưa tín hiệu về dải cơ cho quá trình thích ứng. Trong triển khai thích ứng bên ngoài, FPGA cung cấp cho máy tính bên ngoài bộ đệm chứa dữ

liệu đầu ra PA và dữ liệu bị méo trước. Đối với thích ứng thời gian thực trong FPGA, hai dữ liệu này được cấp đến khối LMS thích ứng để tính toán bảng dữ liệu mới cho LUT-BPC. Đầu ra DPD thông qua bộ chuyển đổi DAC cấp đến PA. **Hình 3-7** thể hiện hình ảnh thiết lập các bo mạch để triển khai thử nghiệm bằng cơ sở. Trong đó, bộ ADC và DAC được sử dụng trên hai bo mạch phát triển Analog-to-Digital Converter (ADC) board TSW1400 và Digital to Analog Converter (DAC) board DAC34SH84EVM.



Hình 3-7: Thiết lập phần cứng thử nghiệm

Các thử nghiệm đã được thực hiện thông qua tín hiệu chuẩn DVB-T2 với băng thông phát khác nhau để không chỉ xác minh sự phụ thuộc của chức năng DPD vào tín hiệu cụ thể mà còn độ tin cậy của DPD trước những thay đổi có thể có của tín hiệu. Tín hiệu phát RF đầu vào PA được xem xét nằm trong dải băng thông 1.7 – 10 MHz và PAPR 8 – 13 dB nhằm mục đích mô phỏng các đặc tính thống kê theo các kịch bản khác nhau. Trong mọi trường hợp, dữ liệu băng cơ sở được tạo trong FPGA, đưa đến khối DPD, sau đó thực hiện đảo tần lên dải RF và bởi DAC. Phần RF được sử dụng ở khâu cuối là PA công suất có thể thay đổi với mức cực đại 170W dựa trên bóng bán dẫn MOSFET Freescale MRF7S21170H. Hai bộ khuếch đại tuyến tính cao từ Mini-Circuits (ZRL-2300) đặt trước bộ khuếch đại đầu ra chính đóng vai trò là bộ khuếch đại đệm và điều khiển PA chính. Tín hiệu đầu vào-đầu ra của PA được đưa đến bộ thích ứng DPD (thích ứng ngoài bằng máy tính PC hoặc thích ứng trong FPGA). Bằng cách điều chỉnh điểm tĩnh PA, hai chế độ hoạt động của PA đã được xem xét: hoạt động loại AB và loại B. Tín hiệu thử nghiệm được sử dụng để đánh giá hiệu

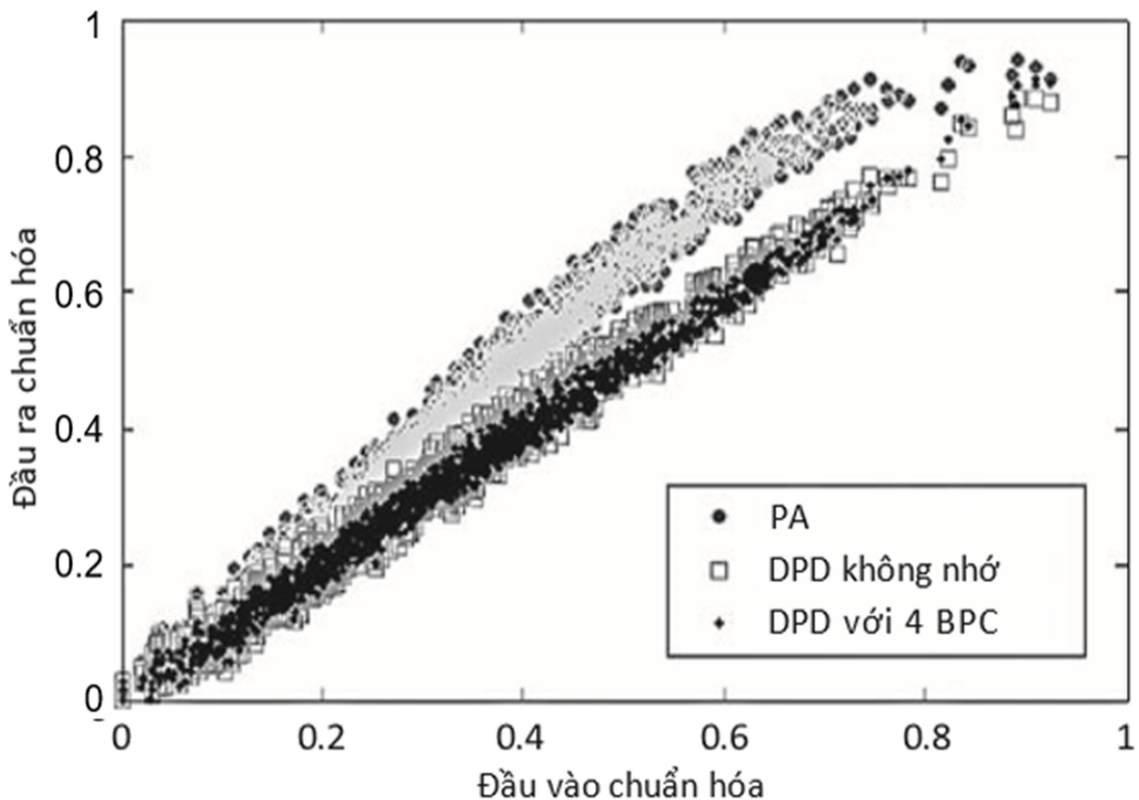
suất của DPD thích ứng là tín hiệu 16-QAM đa sóng mang (OFDM) với PAPR đáng kể (có thể quá 13dB).

Trong các đánh giá thử nghiệm, hiệu suất máy phát cho cả khuếch đại có và không có DPD được so sánh. Khi DPD được thực hiện, thử nghiệm thiết kế cũng được phân biệt giữa DPD không có nhớ khi chỉ một BPC sử dụng và DPD bù nhớ với một số BPC khác nhau. Để đánh giá hiệu suất của DPD trong các kịch bản khác nhau, công suất đầu ra PA phải giống nhau trong các so sánh.

Số liệu chính để kiểm tra độ trung thực của tín hiệu được truyền bao gồm sai số trong dải thông qua EVM (1.12) và mức tái phát phổ ở cả hai phía của tín hiệu sóng mang RF thông qua ACPR (1.11).

3.3. Các kết quả thử nghiệm

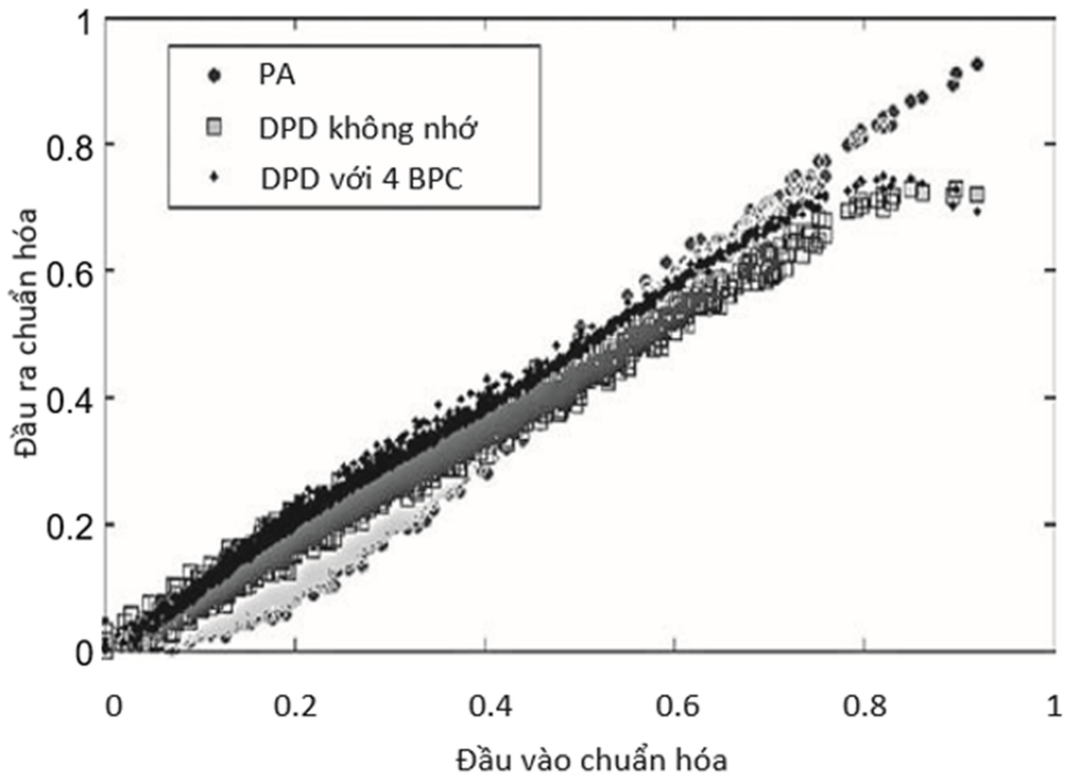
3.3.1. Kết quả mô phỏng DPD có thích ứng ngoài



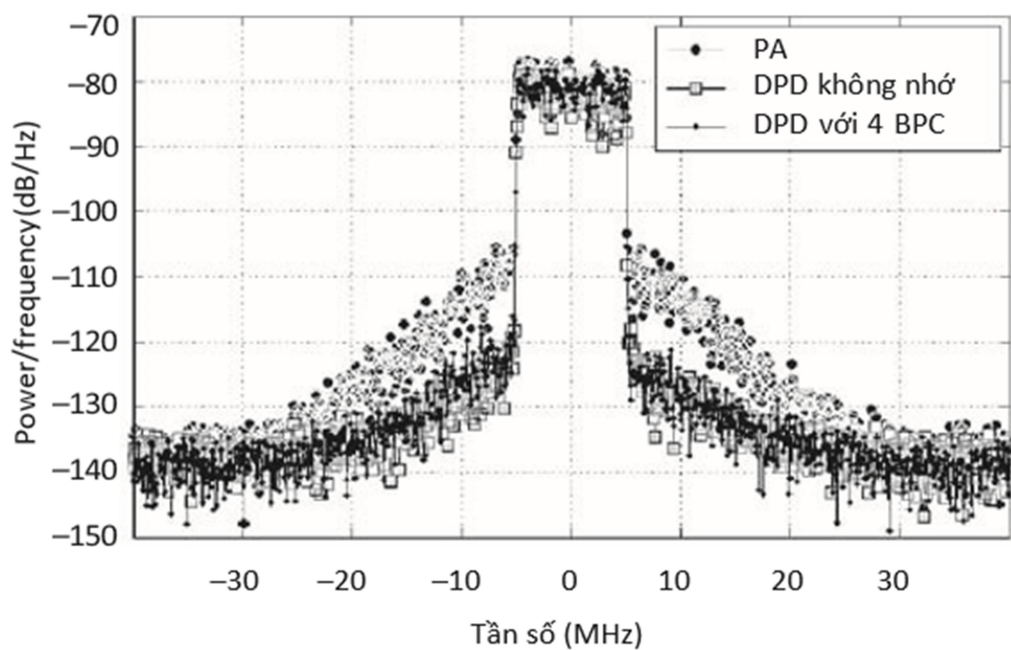
Hình 3-8: Đặc tính AM-AM của PA lớp AB.

Hình 3-8 và **Hình 3-9** lần lượt thể hiện các đặc tính AM-AM cho cả hai chế độ hoạt động PA loại AB và loại B. Tương tự, **Hình 3-10** và **Hình 3-11** hiển thị phổ công suất đầu ra và **Hình 3-12** và **Hình 3-13** biểu thị chòm sao 16-QAM tại PA sau khi giải điều chế. Do không xem xét kỹ thuật giảm hệ số đỉnh, nên với tín hiệu kiểm tra dựa trên OFDM có PAPR cao sẽ có sự cân bằng giữa mức cắt tín hiệu được phép sau khi tuyến tính hóa (gây ra méo tín hiệu) và mức khuếch

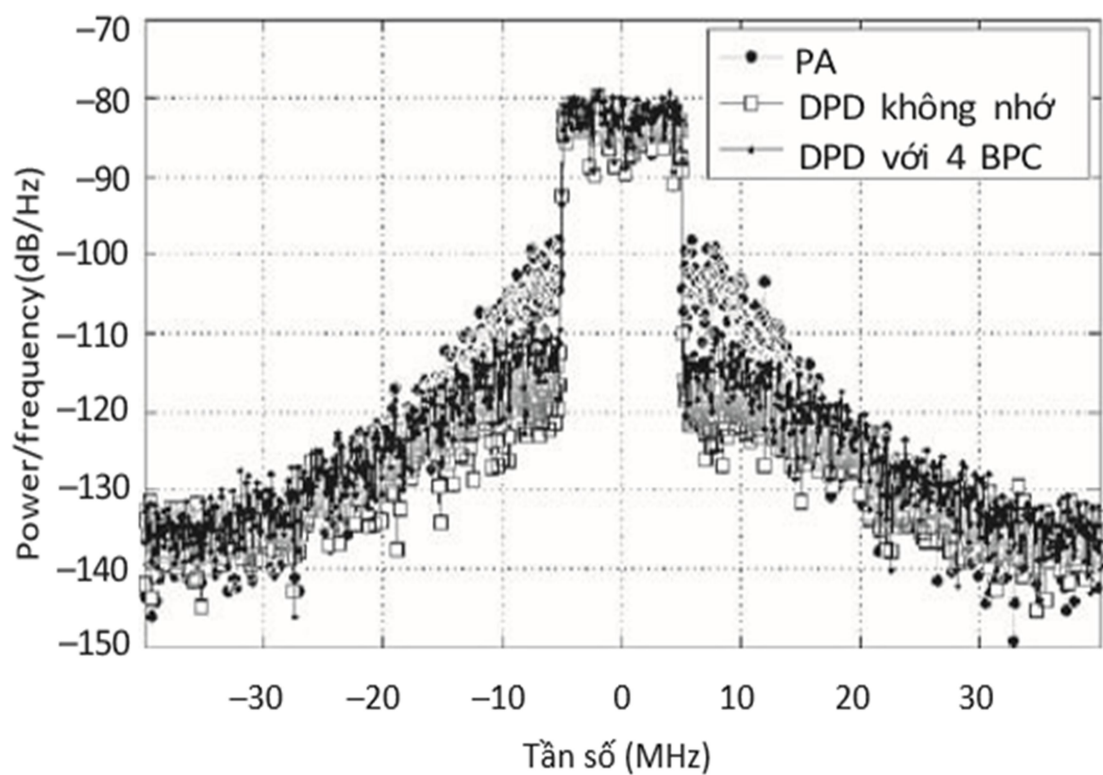
đại méo trước (mức khuếch đại cao hơn sẽ tốt hơn). Ví dụ, mức bù phát sinh phổ (méo ngoài dải) trong **Hình 3-11** thấp hơn (khoảng 10 dB ACPR) so với mức bù đạt được trong **Hình 3-10**; lý do có thể được quan sát trong **Hình 3-9**, trong đó đặc tính AM-AM được tuyến tính hóa thể hiện một số phân bị cắt. Cái giá phải trả cho việc tránh cắt (nén) tín hiệu và kết quả suy giảm tuyến tính là mất đi mức khuếch đại và do đó giảm hiệu quả sử dụng năng lượng (**Hình 3-11**). Cuối cùng, ưu điểm của việc bù hiệu ứng nhớ PA chủ yếu được phản ánh ở việc bù méo trong dải như được quan sát trong **Hình 3-12** và **Hình 3-13**. Việc sử dụng kiến trúc DPD với khả năng bù hiệu ứng nhớ sẽ cải thiện EVM so với sử dụng DPD không có nhớ.



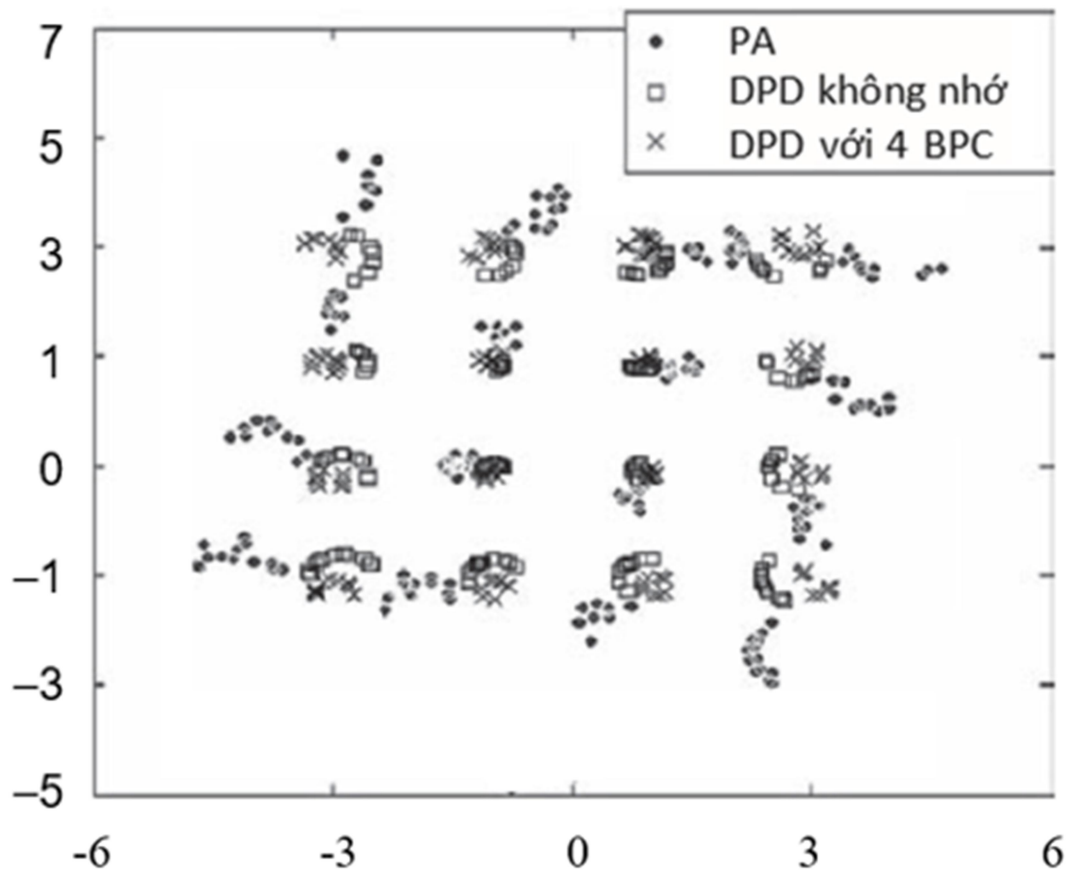
Hình 3-9: Đặc tính AM-AM của PA lớp B.



Hình 3-10: Phổ công suất đầu ra của PA loại AB.



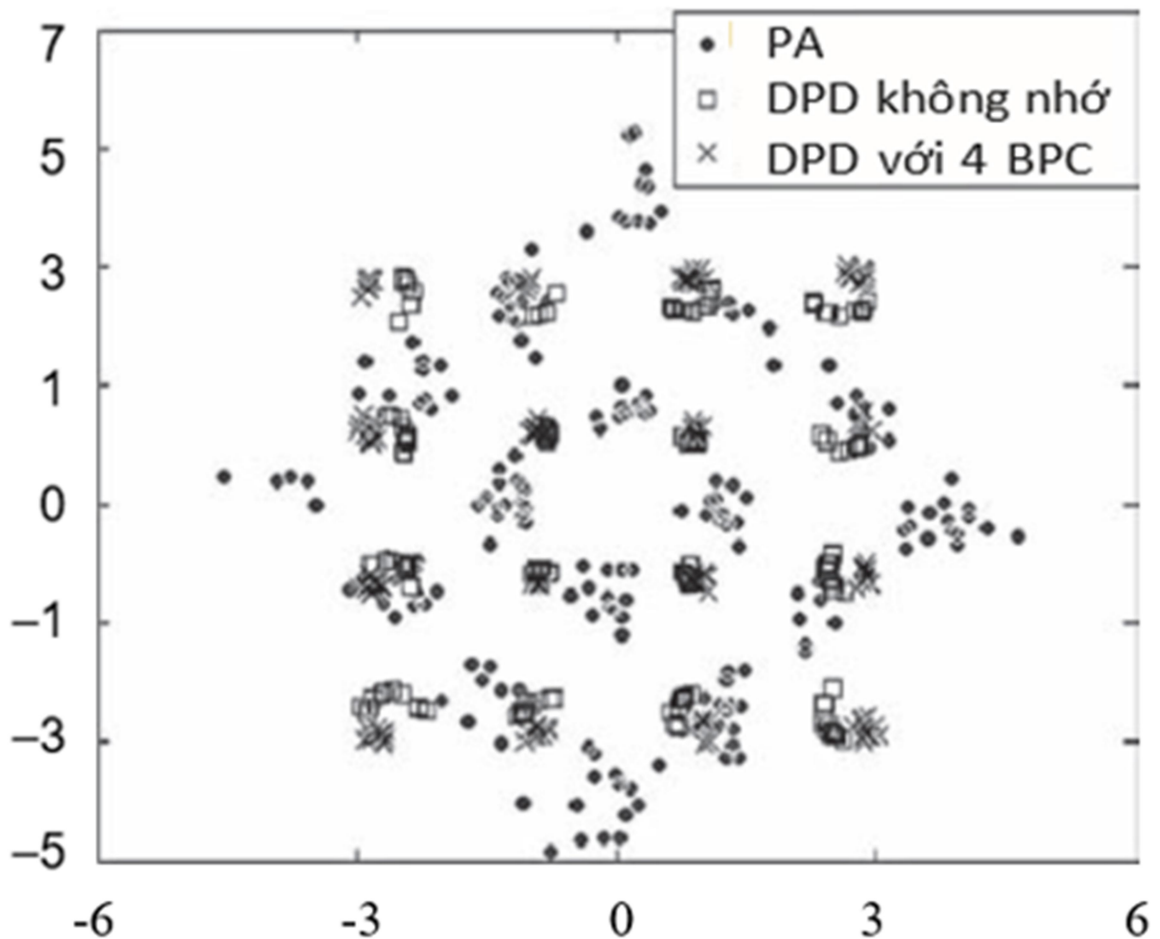
Hình 3-11: Phổ công suất đầu ra của PA loại B.



Hình 3-12: Chòm sao 16-QAM tín hiệu OFDM-DVB-T2 sau PA lớp AB.

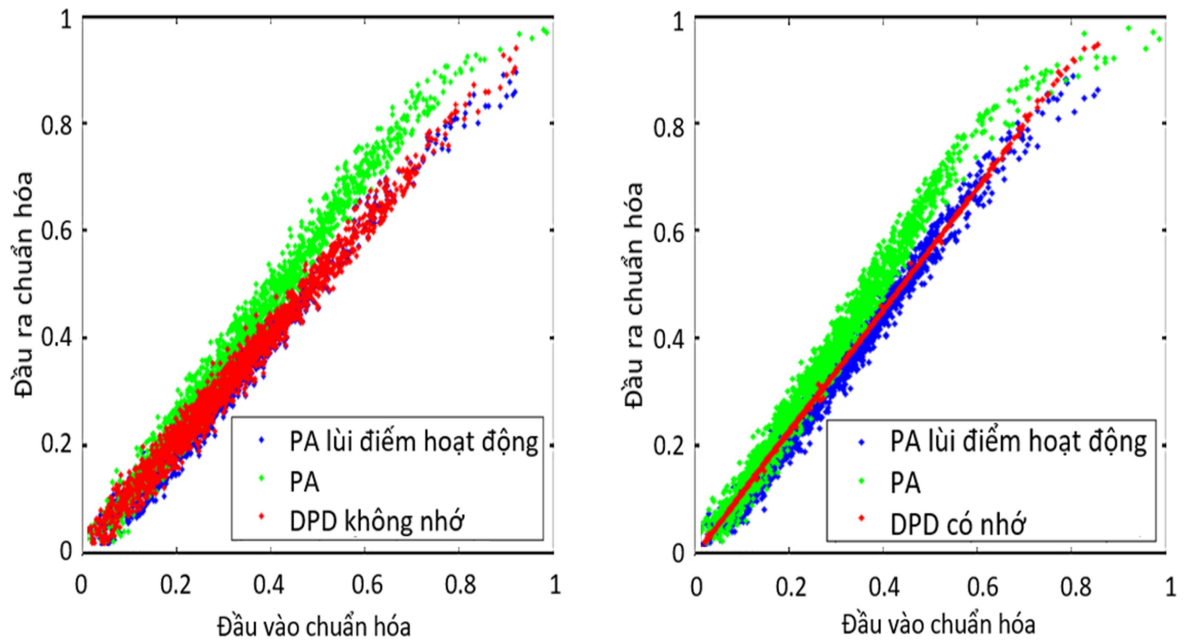
3.3.2. Kết quả mô phỏng DPD có thích ứng trong FPGA

Một số kết quả đây cho thấy hiệu suất của DPD không nhớ thích ứng với khả năng thích ứng gần thời gian thực được thực hiện trong cùng một FPGA. Trong trường hợp này, mô hình PA có và không có hiệu ứng nhớ lớp AB đã được sử dụng để kiểm tra chức năng DPD thích ứng. Tín hiệu kiểm tra được sử dụng để đánh giá hiệu suất của DPD thích ứng là tín hiệu 16-QAM đa sóng mang (dựa trên OFDM) với mức PAPR đáng kể.

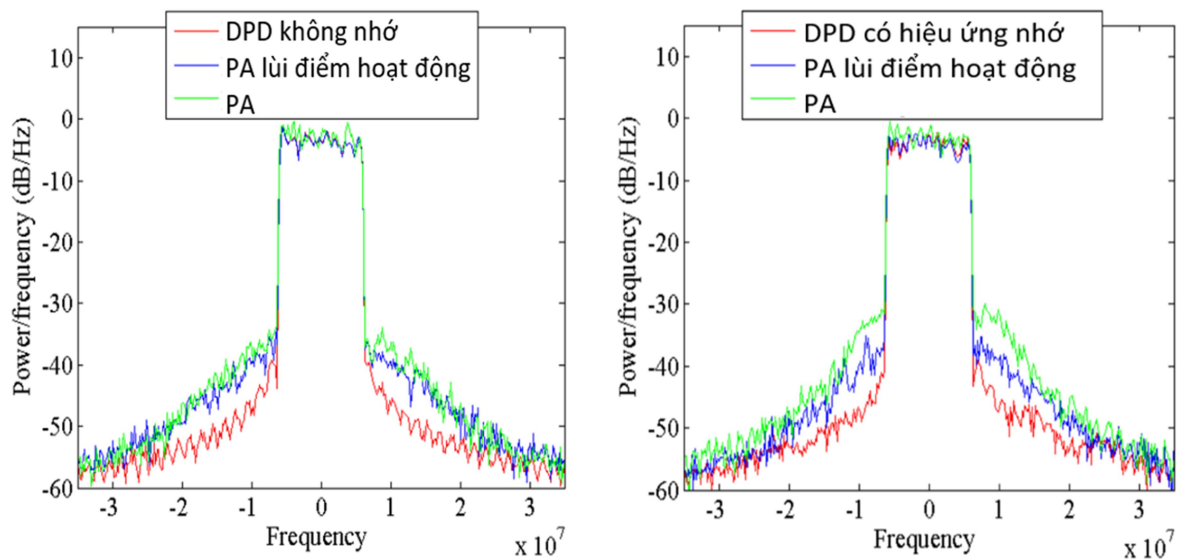


Hình 3-13: Chòm sao 16-QAM tín hiệu OFDM-DVB-T2 sau PA lớp B.

Hình 3-14 cho thấy các đặc tính AM-AM của PA loại AB có và không có hiệu ứng nhớ, trong khi **Hình 3-15** và **Hình 3-16** lần lượt hiển thị phổ công suất đầu ra và chòm sao 16-QAM. Trong trường hợp này, đặc tính AM-AM trong **Hình 3-14** không bị cắt mà thay vào đó có sự mất đi mức khuếch đại có thể quan sát thấy ở cả phổ công suất đầu ra và chòm sao 16-QAM. Tuy nhiên, như được quan sát trong **Hình 3-14** (tuy vẫn còn một số ít mẫu nằm bên ngoài đường thẳng tuyến tính hóa chính), sự hội tụ hoàn hảo của tất cả các mức khuếch đại phức về giá trị mong muốn.

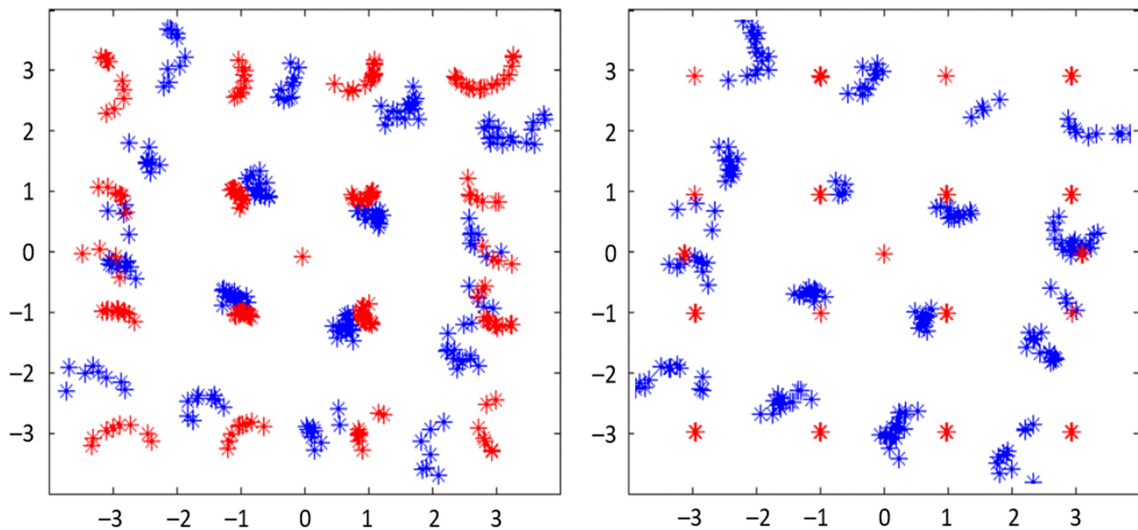


Hình 3-14: Đặc tính AM-AM của lớp AB PA không có nhớ (bên trái) và có hiệu ứng nhớ (bên phải).



Hình 3-15: Phổ công suất đầu ra của PA lớp AB:

Không có nhớ (bên trái): $ACPR_{DPD} = -40,4\text{dB}$; $ACPR_{\text{back-off}} = -34\text{dB}$;
 Có hiệu ứng nhớ (bên phải): $ACPR_{DPD} = -42,8\text{dB}$; $ACPR_{\text{back-off}} = -34\text{dB}$.



Hình 3-16: Chòm sao 16-QAM cho PA lớp AB có DPD (màu đỏ) và không có DPD, lùi điểm hoạt động (màu xanh):

Không có nhớ (bên trái): $EVMDPD = 7,4\%$; $EVMback-off = 18,5\%$

Có hiệu ứng nhớ (bên phải): $EVMDPD = 3,2\%$; $EVMback-off = 18,5\%$

Như có thể thấy trong **Hình 3-15**, cả DPD dựa trên không nhớ và LUT DPD có bù hiệu ứng nhớ đều hoạt động tốt với khả năng bù méo ngoài băng tần. Tuy nhiên, các chòm sao 16-QAM và giá trị EVM tương ứng của chúng trong **Hình 3-16** chứng minh lợi thế của việc sử dụng DPD với khả năng bù nhớ so với DPD không có nhớ. Có thể nhận định rằng, một DPD không có nhớ chỉ nhằm mục đích mở rộng trước tín hiệu để bù hiệu ứng nén mà không thể bù trước hoàn toàn tín hiệu theo đặc tuyến động phi tuyến PA. Hơn nữa, méo trong băng tần không thể được cân bằng nhờ DPD không nhớ trừ khi một số loại lọc trong miền thời gian được kết hợp với bù phi tuyến. Vì lý do đó, có thể thấy sự cải thiện đáng kể về tuyến tính hóa PA bằng cách sử dụng DPD dự đoán để giảm thiểu hoặc loại trừ các hiệu ứng nhớ.

3.4. Kết luận chương 3

Chương 3 đã trình bày thiết kế, triển khai và thử nghiệm DPD trong FPGA. Để thu được một số kết quả cho phép đánh giá sơ bộ mức bù hiệu ứng nhớ và phi tuyến mà DPD có thể đạt được, công cụ Matlab mô phỏng chức năng FPGA đã được sử dụng. Hai cách tiếp cận khác nhau để cập nhật tất cả các BPC trong FPGA đã được triển khai và đánh giá.

Các kết quả mô phỏng trong môi trường Matlab sơ bộ có minh chứng được hiệu suất tuyến tính đạt được với DPD. Cả DPD không có nhớ và DPD có bù động đều nâng cao tính tuyến tính so với tín hiệu không có DPD ở đầu ra PA lùi điểm hoạt động. Sự bù phi tuyến này có thể được đánh giá trong việc làm thẳng đặc tính AM-AM, giảm phát sinh phổ ngoài dải và hiệu chỉnh góc quay của

chòm sao tín hiệu ở cả chế độ hoạt động lớp AB và lớp B. Ngoài ra, những ưu điểm của việc sử dụng DPD có bù động được thấy rõ ở khả năng giảm tán xạ ở cả đặc tính AM-AM và chòm sao tín hiệu, giảm EVM.

III. KẾT LUẬN

Luận văn đã tập trung vào việc trình bày bộ méo trước số DPD dự đoán dựa trên kiến trúc mô hình hóa PA có tính đến tính phi tuyến động và do đó DPD có khả năng bù các hiệu ứng bộ nhớ PA. Vì lý do đó, đầu tiên, luận văn đã trình bày các nguyên tắc cơ bản của DPD, nhấn mạnh sự cần thiết phải tìm các mô hình hành vi PA có thể tái tạo không chỉ hành vi phi tuyến PA mà còn cả đặc tính động của nó bởi hiệu ứng nhớ. Cách tiếp cận để mô hình hóa PA là coi PA như một hộp đen phi tuyến tính để tuyến tính hóa. Sau đó, nhằm mục đích triển khai phần cứng thử nghiệm, mô hình PA này được trích xuất dựa trên sự cân bằng giữa độ phức tạp và độ chính xác thông qua các mẫu đầu vào-đầu ra được thu thập ở dải cơ sở. Bộ DPD sau đó tiến hành tính toán đảo ngược mô hình PA bằng phương pháp méo trước dự đoán, sau đó chức năng DPD được chuyển đổi thành một tập hợp LUT để triển khai FPGA.

Để xác thực lý thuyết, công cụ mô phỏng Matlab mô phỏng việc triển khai tập LUT cho DPD thích ứng trong FPGA. Các kết quả mô phỏng được đưa ra với số các kịch bản và cấu hình khác nhau để xác thực DPD sử dụng tín hiệu OFDM DVB-T2. Một số kết quả thu được bằng mô phỏng này đã thể hiện được hiệu suất nhất định tuyến tính hóa của DPD thích ứng.

DANH MỤC CÁC TÀI LIỆU THAM KHẢO

- [1]. J. C. Pedro, and N. Borges, Intermodulation Distortion in Microwave and Wireless Circuits, Artech House, Inc., 2003.
- [2]. P. B. Kenington, High-linearity RF Amplifier Design, Artech House, Inc., 2000.
- [3]. M. Franco, “Minimizing Power Amplifiers Memory Effects”, Proc. IEEE MTT International Microwave Symposium. Workshop on Distortion Correction of High Power Amplifiers Using Digital Signal Processing, Dallas, Texas, June 2004.
- [4]. A. Cidronali, M. Camprini, I. Magrini, E. Bertran, N. Athanasopoulos, R. Makri, R. Cignani, G. Vannini, J. Portilla, P. Casas, K. Vryssas, A. Samelis, and G. Manes, “TX System-Level Analysis by Behavioral Modeling of RF Building Blocks: the IEEE802.11a and IEEE802.15.3a Case Studies”, Proc. IEEE European Gallium Arsenide and Other Semiconductor Application Symposium (GAAS’05), pp. 333–336, Oct. 2005.
- [5]. S. C. Cripps, RF Power Amplifiers for Wireless Communications, Artech House, Inc., Norwood, MA, USA, 2006.
- [6]. M. S. O’Droma, J. Portilla, E. Bertran, T. J. Donati, S. and Brazil, M. Rupp, and R. Quay, “Linearisation Issues in Microwave Amplifiers”, Proc. European Gallium Arsenide and other Compound Semiconductors Application Symposium (GAAS’04- EUMW), Oct. 2004.
- [7]. J. Vuolevi, Distortion in RF Power Amplifiers, Artech House, Inc., 2003.
- [8]. F. H. Raab, P. Asbeck, S. Cripps, P. B. Kenington, Z. B. Popovic, N. Potheary, J. F. Sevic, and N. O. Sokal, “Power Amplifiers and Transmitters for RF and Microwave”, IEEE Trans. on Microwave Theory and Techniques, vol. 50, no. 3, pp. 814–826, March 2002.
- [9]. T. S. Nielsen, and S. Lindfors, “A 2.4 GHz MOSFET Predistorter for Dual-Mode Bluetooth/IEEE 802.11b Transmitter”, Proc. of Norchip Conference, pp. 15–20, November 2002.
- [10]. M. Isaksson, D. Wisell, and D. Ronnow, “A Comparative Analysis of Behavioral Models for RF Power Amplifiers”, IEEE Trans. on Microwave Theory and Techniques, vol. 54, no. 1, pp. 348–359, Jan. 2006.

- [11]. J. Xu, M. C. E. Yagoub, R. Ding, and Q.-J. Zhang, "Neural-Based Dynamic Modeling of Nonlinear Microwave Circuits", IEEE Trans. on Microwave Theory and Techniques, vol. 50, no. 12, pp. 2769–2780, Dec. 2002.
- [12]. J. C. Pedro, and S. A. Maas, "A Comparative Overview of Microwave and Wire- less Power Amplifier Behavioral Modeling Approaches", IEEE Trans. on Microwave Theory and Techniques , vol. 53, no. 4, pp. 1150–1163, April 2005.
- [13]. J. Lv, G. Xu, C. Zhang, H. Zhang and T. Liu, "Full-Wave Digital Predistortion Linearization Based on Memory Polynomials for HF Power Amplifiers," in IEEE Access, vol. 12, pp. 29362-29372, 2024, doi: 10.1109/ACCESS.2024.3368858.
- [14]. L. Sun et al., "A Low Complexity LUT-Based Digital Predistortion Block With New Pruning Method," in IEEE Microwave and Wireless Components Letters, vol.32, no.9, pp. 1131-1134, Sept. 2022, doi: 10.1109/LMWC.2022.3163890.
- [15]. G. Montoro, P. L. Gilabert, E. Bertran, A. Cesari, and D. D. Silveira, "A New Digital Predictive Predistorter for Behavioral Power Amplifier Linearization", IEEE Microwave and Wireless Components Letters, vol. 17, no. 6, pp. 448–450, June 2007.
- [16]. J. Ren, "Digital Predistorter for Short-Wave Power Amplifier With Improving Index Accuracy of Lookup Table Based on FPGA," in IEEE Access, vol. 7, pp. 182881-182885, 2019, doi: 10.1109/ACCESS.2019.2960092.
- [17]. H. Jiang et al., "Aggressive Look-Up Table Compression by Principal Component Analysis for Digital Pre-Distortion in Optical Communication," in Journal of Lightwave Technology, vol. 40, no. 24, pp. 7718-7726, 15 Dec. 2022.
- [18]. P. L. Gilabert, G. Montoro, and A. Cesari, "A Recursive Digital Predistorter for Linearizing RF Power Amplifiers with Memory Effects", Proc. IEEE Asia-Pacific Microwave Conference Proceedings (APMC'06), vol. 2, pp. 1043–1046, Dec. 2006.
- [19]. Simon Haykin, "Adaptive Filter Theory, Fifth Edition," Pearson Education Limited 2014.
- [20]. H. Ben Nasr, S. Boumaiza, M. Helaoui, A. Ghazel, and F. M. Ghannouchi, "On the Critical Issues of DSP/FPGA Mixed Digital Predistorter Implementation", Proc. IEEE Asia-Pacific Microwave Conference (APMC'05), vol. 5, Dec. 2005.